

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP406052070A

DOCUMENT-IDENTIFIER: JP 06052070 A

TITLE: DEVICE AND METHOD FOR DATA PROTECTION IN INTEGRATED
CIRCUIT

PUBN-DATE: February 25, 1994

INVENTOR-INFORMATION:

NAME

FUJIMOTO, TERUHISA

SUDO, HIDEHIKO

INT-CL (IPC): G06F012/16, G06F011/22

ABSTRACT:

PURPOSE: To surely save internal state data to external memory when power interruption occurs by restoring data saved via a scan pass to an original register.

CONSTITUTION: A counter 4 counts a scan clock SC, and outputs the address A of the external memory 3 in which the data outputted from an integrated circuit 2 is stored. The integrated circuit 2 outputs the internal state data from a scan output terminal SO synchronizing with the scan clock SC, and such data is supplied to the data input terminal D1 of the external memory 3, and is stored in an address-designated position by the counter 4. In other words, the internal state data transferred synchronizing with the scan clock SC by utilizing the scan pass of the integrated circuit 2 can be outputted from the scan output terminal SO and it can be saved to the external memory 3. Thence, when the power source of a system is restored, the data restoration mode of resume function is set, and the system restores saved internal state data to the integrated circuit 2.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-52070

(43)公開日 平成 6 年(1994) 2 月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 4 0 Q	7629-5B		
11/22	3 6 0 P	8323-5B		

審査請求 未請求 請求項の数 4 (全 12 頁)

(21)出願番号 特願平5-49538

(22)出願日 平成 5 年(1993) 3 月10日

(31)優先権主張番号 特願平4-139420

(32)優先日 平 4 (1992) 5 月29日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 藤本 曜久

東京都青梅市末広町 2 丁目 9 番地 株式会

社東芝青梅工場内

(72)発明者 須藤 英彦

東京都青梅市末広町 2 丁目 9 番地 株式会

社東芝青梅工場内

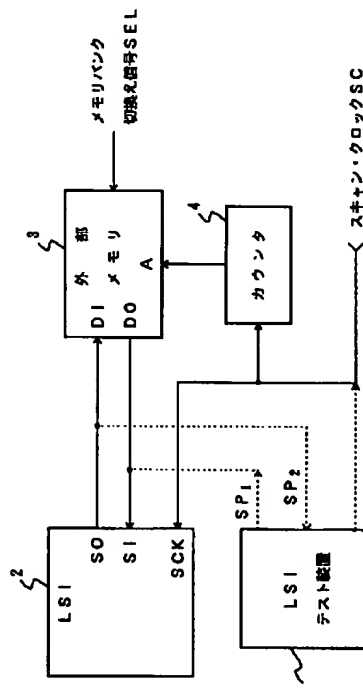
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 集積回路のデータ保護装置およびデータ保護方法

(57)【要約】

【目的】 内部状態データを保持した多数の各種レジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させて、電源中断時のデータ保護を実現することができる集積回路のデータ保護装置を提供することにある。

【構成】 データ退避モード時に、スキャンバスを通じて集積回路 2 に設けられたスキャン出力端子 S O から内部状態データを読み出し、外部メモリ 3 に格納する。データ復帰モード時に、外部メモリ 3 に退避していた内部状態データを読み出し、集積回路 2 に設けられたスキャン入力端子 S I から入力し、スキャンバスを通じて復帰する。



1

【特許請求の範囲】

【請求項1】 スキャンパスを形成するように接続された複数のレジスタと、

外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、

外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備したことを特徴とする集積回路。

【請求項2】 データ退避モード時に、集積回路内の複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出し、読みだしたデータを保護用メモリに保存するデータ退避工程と、

データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備したことを特徴とする集積回路の内部レジスタの保持データの退避・復帰方法。

【請求項3】 集積回路の内部に構成されるスキャンパスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護装置において、

データ退避モード時に前記集積回路の内部状態データを格納するデータ保護用メモリ手段と、

前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、

前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、

データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出して前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するデータ復帰手段とを具備したことを特徴とする集積回路のデータ保護装置。

【請求項4】 集積回路の内部に構成されるスキャンパスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護方法において、

データ退避モード時に前記集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、

前記集積回路に対する所定のビット幅のデータの入出力を行なうステップと、

前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅の

2

データに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、

データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するステップとからなることを特徴とするデータ保護方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ等に使用される集積回路の内部状態データを保護するための集積回路のデータ保護装置に関する。

【0002】

【従来の技術】 パーソナルコンピュータ等のコンピュータシステムにおいては、レジューム機能を備えるものが多い。レジューム機能は、コンピュータの電源がオフされたとき、各種レジスタの記憶データを不揮発性メモリに退避し、電源が再びオンされたときに、退避していた記憶データを元のレジスタに設定し、電源オフの直前の状態からデータ処理を実行可能とする機能である。

【0003】

【発明が解決しようとする課題】 しかし、従来では、退避すべきデータが大量にある場合、データの退避に時間がかかる。このため、スイッチをオフしてから実際にコンピュータがオフされるまでの時間が異常に長くなった、場合により、データを完全に退避できないという問題があった。

【0004】 例えば、グラフィック・コントローラ等の、従前の状態に依存して次の状態に移行するいわゆるステートマシンは、テンポラリレジスタや制御用レジスタ等の各種レジスタを内部に多数有する集積回路(LSI)を使用する。このため、集積回路の内部状態データを退避するときに、データ転送に時間がかかり過ぎ、レジューム機能が実現できない場合がある。

【0005】 本発明の目的は、上記実情に鑑みてなされたもので、多数のレジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させることができる集積回路のデータ保護装置を提供することにある。本発明の他の目的は、内部レジスタの保持データを高速に退避させることができる集積回路を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、請求項1記載の集積回路は、スキャンパスを形成するように接続された複数のレジスタと、外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンパスを形成させ、形成された

3

スキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備する。

【0007】また、請求項2記載の方法は、データ退避モード時に、集積回路内の複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出し、読み出したデータを保護用メモリに保存するデータ退避工程と、データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備する。

【0008】さらに、請求項3記載の装置は、データ退避モード時に集積回路の内部状態データを格納するデータ保護用メモリ手段と、前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出して前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するデータ復帰手段を具備する。

【0009】また、請求項4記載の方法はデータ退避モード時に集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、前記集積回路に対する所定のビット幅のデータの入出力を行なうステップと、前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するステップを備える。

【0010】

【作用】請求項1ないし4記載の発明によれば、データ退避時及びデータ復帰時にデータはレジスタから構成されるスキャンパス（シフトレジスタ）内を順次転送されて外部に読み出され、或いは、元のレジスタにセットされる。従って、内部レジスタの数が多い場合でも、短時間に保持データを退避・復帰できる。

【0011】

【実施例】以下図面を参照して本発明の実施例を説明する。

【0012】図1は第1の実施例に係るデータ保護装置の構成を示すブロック図である。本装置は、LSIテスト装置1、集積回路（LSI）2、外部メモリ3およびカウンタ4を有する。集積回路2の内部レジスタの保持

4

データが、本実施例における退避・保護の対象となる。

【0013】LSIテスト装置1はスキャンバス方式により、集積回路2内のスキャンパスを利用して、集積回路2をテストする装置である。集積回路2は、内部に有する一連のレジスタ（フリップフロップ）により構成されるスキャンバス（シフトバス回路）を有し、例えばグラフィックコントローラ等のステートマシンに使用されるLSI（大規模集積回路）である。集積回路2は、例えば、図示せぬコンピュータシステムのプロセッサ（CPU）により制御される。

【0014】外部メモリ3は、例えば、バッテリーによりバックアップされたRAMであり、リジューム機能のデータ退避モード時に、集積回路2の内部データの退避先となる。外部メモリ3は不揮発性メモリでもよい。カウンタ4の出力データは外部メモリ3にアドレスAとして供給される。カウンタ4はスキャン・クロックSCに同期してカウント値を更新する。次に、図1のデータ保護装置の動作を図3のフローチャートを参照して説明する。

【0015】通常のテストモード（集積回路2のテスト）では、LSIテスト装置1は、集積回路2のスキャン制御端子SCに指示信号を供給して内部レジスタをシリアルに接続してスキャンパスを形成すると共にスキャン・クロック端子SCKにスキャン・クロックSCを入力し、スキャンバス方式のテストを実行する（ステップS1のYES）。LSIテスト装置1は、集積回路2のスキャン入力端子SIを通じて、シリアルデータであるテストデータ（スキャンバスデータSP1）をスキャン・クロックSCに同期して供給する（ステップS2）。

【0016】一方、LSIテスト装置1は、集積回路2のスキャン出力端子SOを介して、テストデータに応じた出力データ（スキャンバスデータSP2）を、スキャン・クロックSCに同期して受信する（ステップS3）。このスキャンバスデータSP2と予め用意された基準データとを比較し、集積回路2の回路テストを実行する。

【0017】次に、集積回路2を含むシステムの電源が中断し、かつ、リジューム機能が設定されており、集積回路2の内部状態データを外部メモリ3に退避する場合（ステップS1のNO）の動作を説明する。リジューム機能のデータ退避モードでは、システムのCPUが集積回路2の通常動作を中断させる（ステップS4のYES、S5）。なお、データ退避モードは、リジューム機能だけでなく、タスク切換え、割り込み処理等の場合にも実行される。

【0018】CPUは、集積回路2のスキャン制御端子SCに指示信号を供給して内部レジスタをシリアルに接続してスキャンパスを形成させると共にスキャン・クロック端子SCKにスキャン・クロックSCを供給させ、かつ、スキャン・クロックSCをカウンタ4に供給して

起動させる(ステップS6)。カウンタ4はスキャン・クロックSCをカウントして、集積回路2から出力されるデータを格納する外部メモリ3のアドレスAを出力する。

【0019】集積回路2は、スキャン・クロックSCに同期して、スキャン出力端子SOから内部状態データを出力する。この内部状態データは外部メモリ3のデータ入力端子DIに供給され、外部メモリ3のカウンタ4によりアドレス指定された位置に格納される(ステップS7)。

【0020】即ち、集積回路2のスキャンバスを利用して、スキャン・クロックSCに同期して転送される内部状態データをスキャン出力端子SOから出力させて、外部メモリ3に退避させる。外部メモリ3はバッテリによりバックアップされているため、集積回路2の内部状態データは、システムの電源オフの間も、確実に保存される。

【0021】なお、外部メモリ3の記憶容量に余裕がある場合、CPUがメモリバンク切換え信号SELを外部メモリ3に出力して、外部メモリ3のバンク切換え制御を行なうようにしてもよい。これにより、外部メモリ3の通常のデータ処理に使用されるメモリバンクとは別のメモリバンクに内部状態データを格納することが可能となる。また、外部メモリ3のバンクをタスク切換えに応じて切り換えると、複数のタスクが共有する1つのLSIの内部状態データをタスク毎に対応するメモリバンクに格納できる。

【0022】次に、システムの電源が復帰すると、リジューム機能のデータ復帰モードとなり、システムは退避された内部状態データを集積回路2に復帰させる処理を行なう(ステップS8のYES)。システムのCPUはカウンタ4をプリセットし、スキャン・クロックSCを供給して起動させ、そのカウント値を更新させる(ステップS9)。カウンタ4のプリセット値は、データ退避モード時に内部状態データを格納した外部メモリ3のアドレスAである。また、CPUは外部メモリ3を読み出しモードに設定する。

【0023】外部メモリ3は、カウンタ4から供給されるアドレスにより指定される記憶位置からデータを読みだし、データ出力端子DOに出力する。この出力データは集積回路2のスキャン入力端子SIに供給させる(ステップS10)。集積回路2はスキャン・クロックSCに同期して、スキャン入力端子SIに供給される内部状態データを入力し、スキャンバス上をシフトする。すべてのデータが元のレジスタにセットされた時点で、CPUはスキャンクロックのSCの供給を停止し、さらに、スキャン制御SCに供給していた指示信号の供給を停止し、内部レジスタを通常状態に設定し、スキャンバスを解消する。以上のようにして、集積回路2内のレジスタのデータの退避および復帰がスキャンバスを用いて実現

できる。

【0024】図2はこの発明の第2の実施例に係わるデータ保護装置の構成を示すブロック図である。第2の実施例は、集積回路2のデータ退避およびデータ復帰の各モードを、システムのI/Oポート5に接続されるデータバス(例えば8ビット幅)6を利用して実行する。

【0025】集積回路2は、具体的には図2に示すように、マルチプレクサ7、20、21一連のレジスタR1〜Rn、内部制御回路8、カウンタ9、P/S回路10およびデータ入出力端子12を通じてシステムのデータバス6に接続された内部データバス11、バッファ回路13を有する。

【0026】レジスタR1〜Rnはスキャンバスを構成する一連のシフトレジスタまたはフリップフロップである。レジスタR2、R3は、タスク切換え時には内部状態を保持する必要のないフリップフロップであると仮定する。

【0027】レジスタR1〜Rnには、内部制御回路8からのスキャンバス制御信号とスキャンクロック端子SCからのスキャンクロック信号SCKが供給される。レジスタR1〜Rnは通常用のデータ入力端と出力端と共にスキャンバス用のデータ入力端と出力端を有し、スキャンバス制御信号がオフの時は、通常の動作を可能とするために所定の論理回路を構成するように接続された通常用の入出力端子が有効となり、スキャンバス制御信号がオンの時は、レジスタR1〜Rnからなるスキャンバスを形成するために図2に示すようにシリアルに接続されたスキャンバス用の入出力端子が有効となる。8個のレジスタRn-7〜Rn スキャンバス用の出力端はバッファ13に供給される。バッファ13は、内部制御回路8からの制御信号に応答して、スキャンバス上の8ビットデータを内部データバス11にパラレルで出力する。

【0028】マルチプレクサ20は、内部制御回路8からの切り換え信号に応答して、レジスタR1から供給されるデータをレジスタR2とマルチプレクサ21の一方に供給する。また、マルチプレクサ21は、切り換え信号に応答して、レジスタR3から供給されるデータとマルチプレクサ21から供給されるデータの一方をレジスタR4に供給する。

【0029】マルチプレクサ7は、内部制御回路8からの制御信号に応答して、スキャン入力端子SIから供給されるテストデータとP/S(パラレル/シリアル)変換回路から供給される内部状態データの一方を選択して出力する。

【0030】内部制御回路8は、制御端子22を介してシステムのCPUと接続されており、各種信号をレジスタ、マルチプレクサに供給すると共に、CPUが集積回路2をアクセスするタイミングを制御する。

【0031】カウンタ9は、スキャン・クロック端子SCKに供給されるスキャン・クロックSCによりカウ

7

ト動作を行い、カウント値を内部制御回路8とP/S回路10に供給する。

【0032】P/S回路10は、並列/直列変換回路であり、内部データバス11を通じて復帰されるパラレルデータを、カウンタ9のカウント値に応答して、シリアルデータに変換する。バッファ13は、レジスタR_{n-7}～R_nの出力データ(8ビット)を内部制御回路8からの制御信号に응答して、内部データバス11上に出力する。次に、第2実施例にかかる回路の動作を図4を参照して説明する。

(1) 通常動作時は、図2に示されるスキャンバスは機能せず、各レジスタは必要な論理回路を構成すべく動作する。

【0033】(2) 通常のテストモードでは、CPUは内部制御回路8に制御データを供給し、スキャンバスの形成を指示する。この制御データに응答し、内部制御回路8は、レジスタR1乃至R_nに制御信号を供給してスキャンバスを形成させ、さらに、マルチプレクサ20にデータをレジスタR2に供給させ、マルチプレクサ21にレジスタR3の出力を選択させる。

【0034】その後、CPUは、LSIテスト装置1にテストの開始を指示する。この指示に응答し、LSIテスト装置1は集積回路2のスキャン・クロック端子SCにスキャン・クロックSCを入力し、スキャン方式のテスト処理を実行する(ステップS20のYES)。即ち、LSIテスト装置1は、集積回路2のスキャン入力端子SIに、テストデータ(スキャンバスデータSP1)をスキャン・クロックSCに同期してシリアルに供給する(ステップS21)。マルチプレクサ7は、内部制御回路8からの制御信号に응答して、スキャン入力端子SIから供給されるテストデータを、レジスタR1～R_nから構成されるスキャンバスへ出力する。レジスタR1～R_nはスキャン・クロックSCに同期して供給されたデータを取り込み、また、保持データを出力する。

【0035】LSIテスト装置1は、集積回路2のスキャン出力端子SOから、テストデータに응じた出力データ(スキャンバスデータSP2)を、スキャン・クロックSCに同期して受信する(ステップS22)。このスキャンバスデータSP2と予め用意された基準データとを比較し、集積回路2の回路テストを実行する。

【0036】(3) レジューム機能がオンされた状態で、集積回路2を含むシステムの電源が中断されると(ステップS20のNO)、集積回路2の内部状態データを退避する処理が実行される(ステップS23のYES)。

【0037】より詳細には、CPUは内部制御回路8に制御データを供給し、データの退避を指示する。内部制御回路8は、レジスタR1乃至R_nに制御信号を供給してスキャンバスを形成させ、さらに、マルチプレクサ20にデータをレジスタR2に供給させ、マルチプレクサ

8

21にレジスタR3の出力を選択させる。さらに、内部制御回路8はカウンタ4を起動する。

【0038】CPUはLSIテスト装置1にスキャン・クロックSCを出力させる。カウンタ4は、8進カウンタであり、スキャン・クロックSCを8クロックカウントする度に内部制御回路8に信号を出力する。内部制御回路8は、カウンタ4からのカウント値に응答してバッファBを制御し、8スキャン・クロック毎にレジスタR_{n-7}からR_nの出力を内部データバス11に出力させる。即ち、スキャンバスを転送されるシリアル内部状態データは8ビットのパラレルデータに変換され、内部データバス11に出力される(ステップS24)。また、内部制御回路8は8スキャンクロック毎にCPUにアクセスタイミングを通知する。

【0039】集積回路2の内部データバス11およびデータ入出力端子12を通じて読出された内部状態データは、システムのデータバス6に出力される。CPUは、内部制御回路8から供給されるタイミング信号に응答して、データバス6上のデータを外部メモリ3に対応するI/Oポート5に送出する(ステップS25)。CPUは、I/Oポート5に読出した内部状態データを外部メモリ3に格納する(ステップS26)。CPUは予め用意されたステータスレジスタによるチェック処理または割込み処理等により、集積回路2からの内部状態データの読出し終了を制御する。

【0040】このようにして、システムの電源が中断する以前に、集積回路2に保持されている内部状態データを外部メモリ3に退避させることができる。外部メモリ3はバッテリーによりバックアップされているため、退避された集積回路2の内部状態データを確実に保存する。

【0041】システムの電源が復帰されると、システムは退避させた内部状態データを集積回路2に復帰させる処理を行なう(ステップS27のYES)。CPUは外部メモリ3に退避させた内部状態データを、データ退避モード時に読出した順番で8ビットづつに割りI/Oポート5に一時的に保持させる(ステップS28)。また、CPUは、スキャン・クロックSCを供給してカウンタ4を起動させる。

【0042】CPUはI/Oポート5に保持された内部状態データを8ビット単位で、システムのデータバス6およびデータ入出力端子12を通じて集積回路2の内部データバス11に出力させる。P/S回路10は、内部データバス11に出力されたパラレル内部状態データをラッチする。カウンタ9は8進カウンタであり、スキャン・クロックSCのクロック数をカウントし、カウント出力をP/S回路10に供給する。P/S回路10は、カウント出力に응じて、ラッチした8ビットパラレルデータをシリアルデータに変換する(ステップS29)。

【0043】マルチプレクサ7は、P/S回路10から

供給されるシリアル内部状態データをレジスタR1～Rnからなるスキャンバスへ出力する(ステップS30)。レジスタR1～Rnは、スキャン・クロックSCに同期して、供給されたデータをシフトする。即ち、集積回路2にはスキャンバスを利用して、外部メモリ3に退避された内部状態データを元のレジスタに復帰する。CPUはステータスレジスタによるチェック処理または割込み処理等により、退避されたデータが元のレジスタに再設定された時点で、内部状態データの書き込み(復帰)処理を終了する。

【0044】このようにして、スキャンバスおよびデータバスを利用して、電源中断時に、内部状態データを退避し、電源復帰時に退避した内部状態データを復帰できる。したがって、集積回路2の各レジスタを順番にアドレスして、その保持値を読み出す場合に比較して、内部状態データを、高速かつ確実に読みだし、退避させることができる。従って、レジスタ数が多い場合でも、短時間に、内部データを退避できる。

【0045】(4)タスク切り換え時の動作は、マルチプレクサ20がデータをマルチプレクサ21に供給し、マルチプレクサ21がマルチプレクサ20の出力データを選択する以外は、前述のデータ退避・復帰時の動作と同一である。

次にこの発明の第3実施例を図5ないし図8を参照して説明する。

【0046】この実施例は、本願発明をマイクロプロセッサに適用した例である。図5において、符号111は、バスインターフェースであり、外部回路との間で命令とデータなどの授受を行う。符号112は命令バッファであり、バスインターフェース111によって取り込まれた命令を保持する。符号113はデコーダであり、命令バッファ112に保持されている命令をデコードし、制御信号を生成する。符号114は実行ユニットであり、デコーダ113でデコードされた命令を実行する。符号115はステートコントローラであり、マイクロプロセッサ全体の制御を行う。符号116はインターフェース用の信号であり、アドレス、データ、制御信号を含む。

【0047】図5の実効ユニット114及びステートコントローラ115内にあるレジューム動作に必要な状態情報ならびにデータを保持するレジスタ121は図6に示すように、直列に接続する。各レジスタ121には、通常動作用のデータ入力(D)、クロック入力(CP)、データ出力(Q)の他にシリアルデータ入力(SI)、シリアルデータ出力(SD)、スキャンロック入力(A、B)を有する。

【0048】通常動作では、A=B="H"とし、レジスタ121はクロックCPの立上がりエッジで動作する。このとき、SI入力の値は動作に影響を与えない。一方、スキャン動作時はCP="H"とし、A=負パル

スでデータを取り込み、B=正パルスでデータを出力する。この時D入力の値は動作に影響を与えない。シフトレジスタ121の動作を、図7にタイミングチャートの形式で、図8に真理値表の形式で示す。

【0049】図5のインタフェース信号116のコントロール信号の1つにリジューム要求信号があり、外部回路からレジューム要求が本マイクロプロセッサに入力されると、ステートコントローラ115は、マイクロプロセッサの通常動作を停止し、レジューム動作を開始する。

【0050】インタフェース信号116のデータ信号は、シリアルデータアウト(図6のレジスタnのSD出力)を含んでおり、まず、この値をバスインターフェース111に接続された外部メモリ(図示せず)に保存する。次に、ステートコントローラ115は、クロックCPを"H"に固定し、クロックAとBを使って、直列接続されたレジスタの保持データをシフトする。即ち、レジスタ(i-1)の値をレジスタ(i)に移す(iは1でないしn)。この動作を必要回数繰り返すことによって、直列接続されたレジスタの値をすべて外部メモリに保存する。

【0051】以上の動作によって、すべてのレジスタの保持データを退避し終えた後、マイクロプロセッサはHALT状態に入り、それを示すHALT信号をバスインターフェース111を介して外部に出力する。このHALT信号を外部回路で検出すれば、装置の電源を切断し、装置を停止させることができる。

【0052】装置に電源が再投入されると、マイクロプロセッサはレジスタ退避時と同様な手法を用いて外部メモリに退避されていたデータを、レジスタ121のSI入力に順次供給し、シフトレジスタ内を順次転送させる。すべてのレジスタにデータが復帰すると、レジューム動作を終了し、通常動作に復帰する。

【0053】

【発明の効果】以上詳述したように本発明によれば、集積回路のスキャン方式のテスト回路として使用されるスキャンバスを利用して、電源中断時に内部状態データを確実に退避させ、かつ電源復帰時に内部状態データを集積回路に復帰させることができる。したがって、多数の各種レジスタが設けられた集積回路の内部状態データを、高速かつ確実に退避させることが可能となるため、集積回路のデータを確実に保護することができる。また、複数の内部状態を保持すれば、複数のタスクから1つのLSIをアクセスすることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

【図2】本発明の第2の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

【図3】第1の実施例の動作を説明するためのフローチ

10

20

30

40

50

11

ヤート。

【図4】第2の実施例の動作を説明するためのフローチャート。

【図5】本発明の第3の実施例に係る集積回路の構成を示すブロック図。

【図6】図5に示す集積回路のレジスタの構成を示すブロック図。

【図7】第6に示すレジスタの動作を説明するためのタイミングチャート。

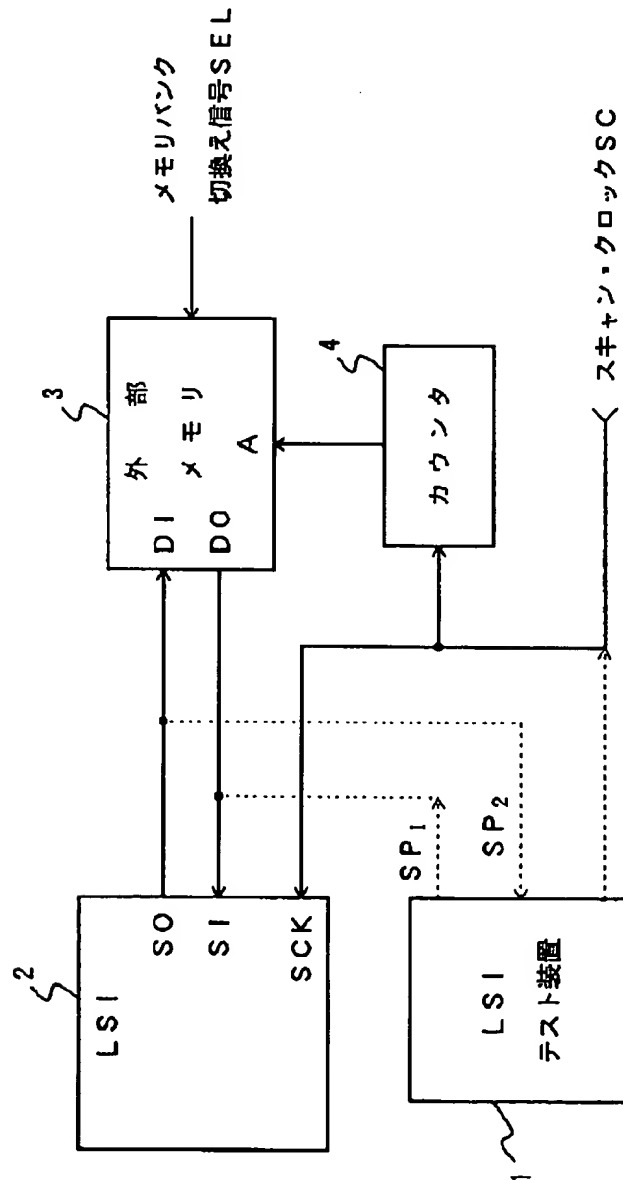
12

【図8】第6に示すレジスタの動作を説明するための図。

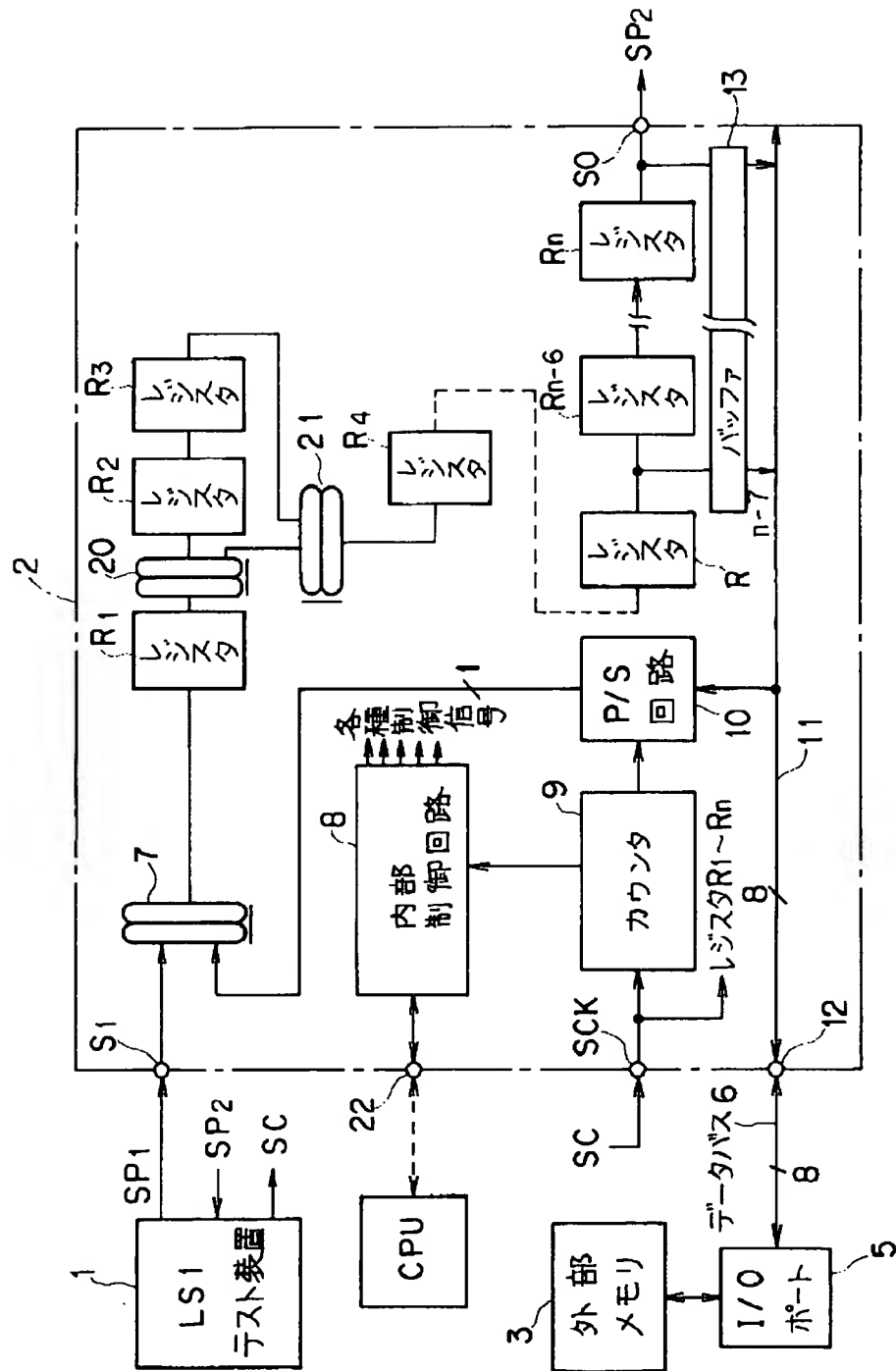
【符号の説明】

2…集積回路(LSI)、3…外部メモリ、4、9…カウンタ、R1～Rn…レジスタ、111…バスインターフェース、112…命令バッファ、113…デコーダ、114…実行ユニット、115…ステートコントローラ、116…インタフェース用信号、121…レジスタ。

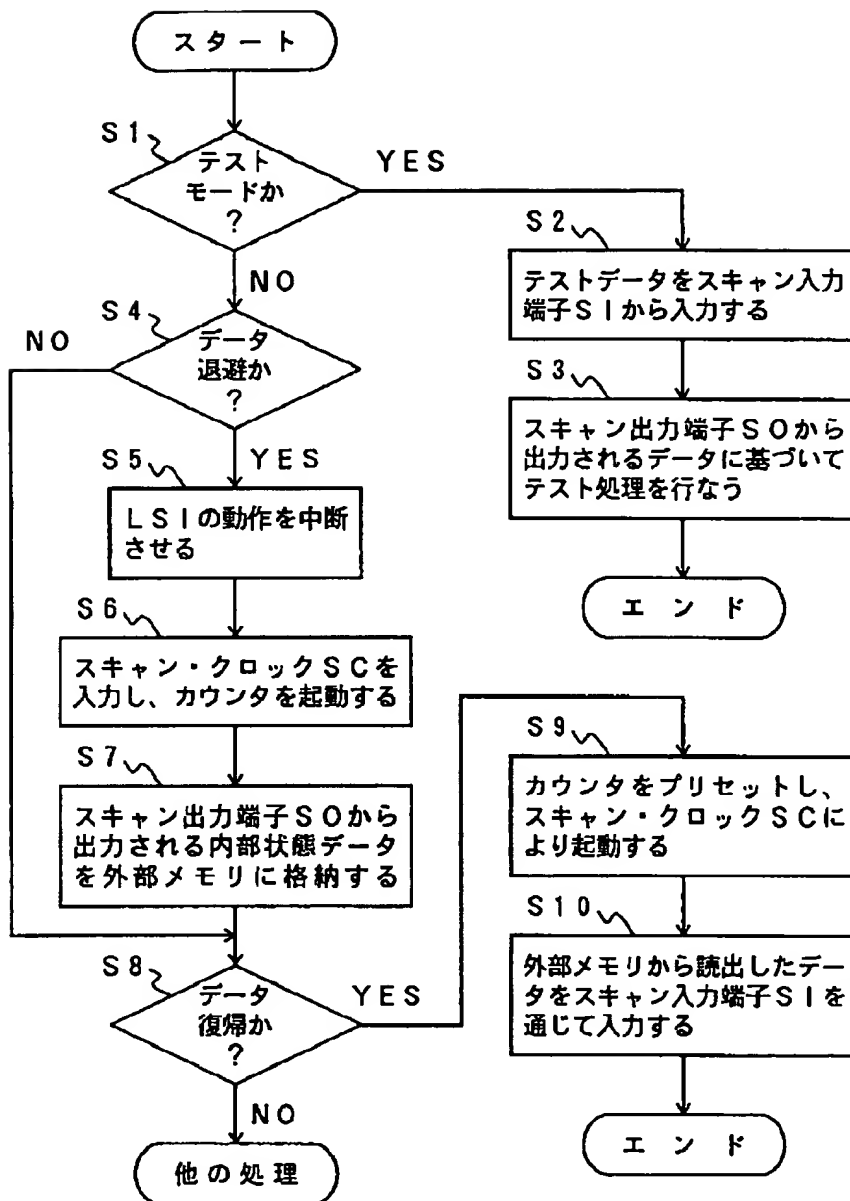
【図1】



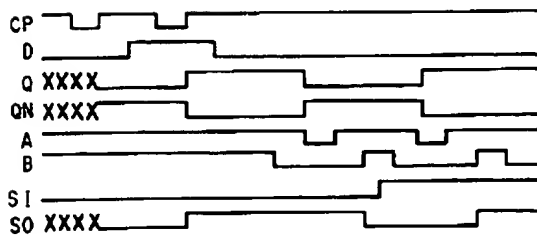
【図2】



【図3】



【図7】

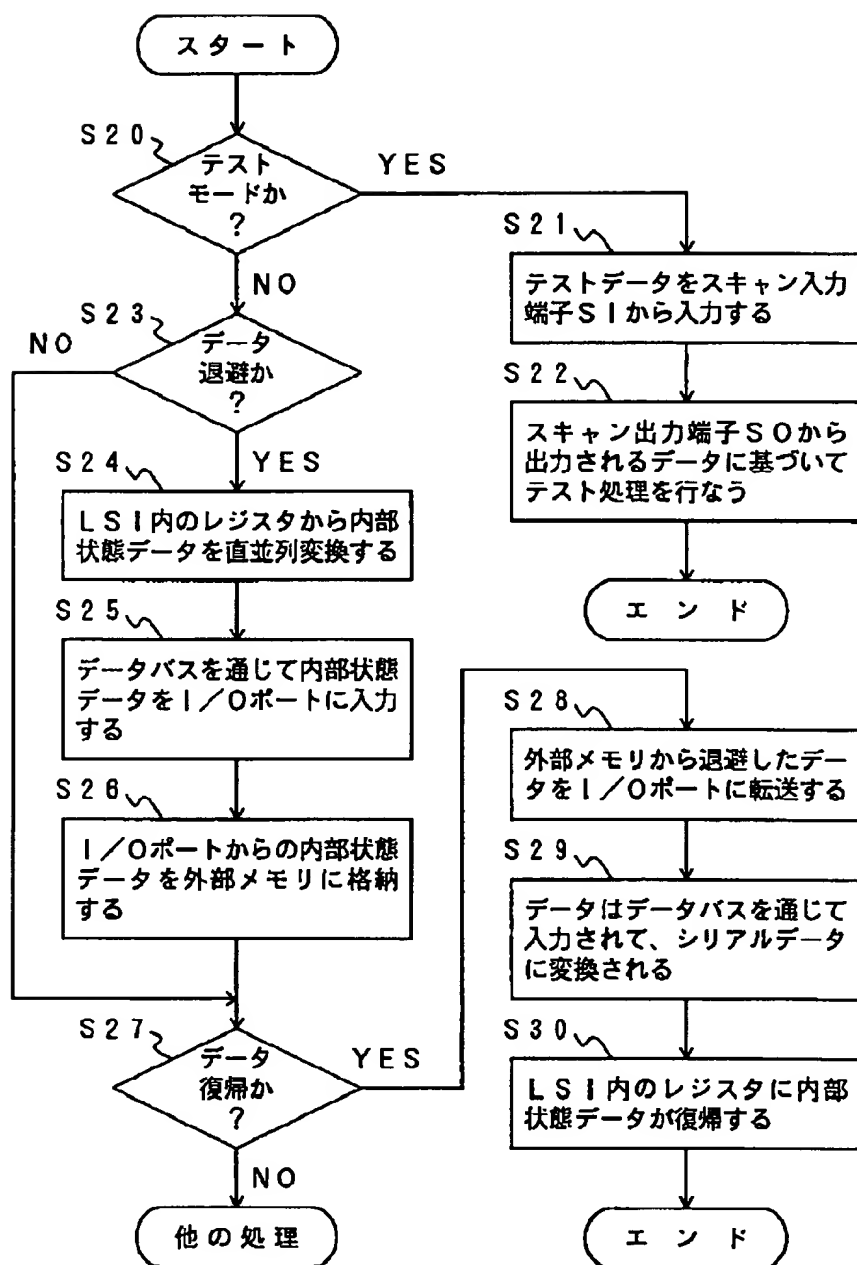


通常動作 ←→ スキャン動作

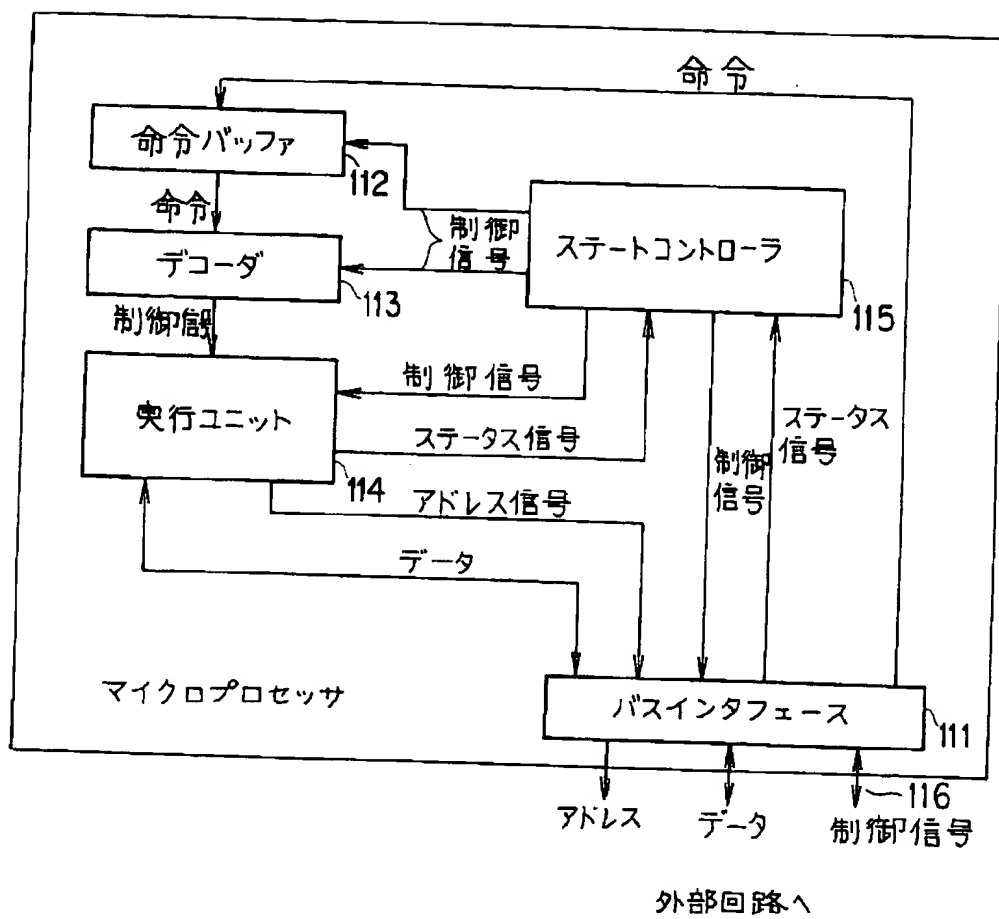
【図8】

C P	D	A	B	S I	Q	Q N	S O	動作
L	L	H	H	X	L	H	L	ライト
H	X	H	H	X	Qn	QNo	Qn	ライト保持
H	X	L	L	L	L	H	L	スキャンライト
H	X	L	L	X	Qn	QNo	Qn	スキャンライト

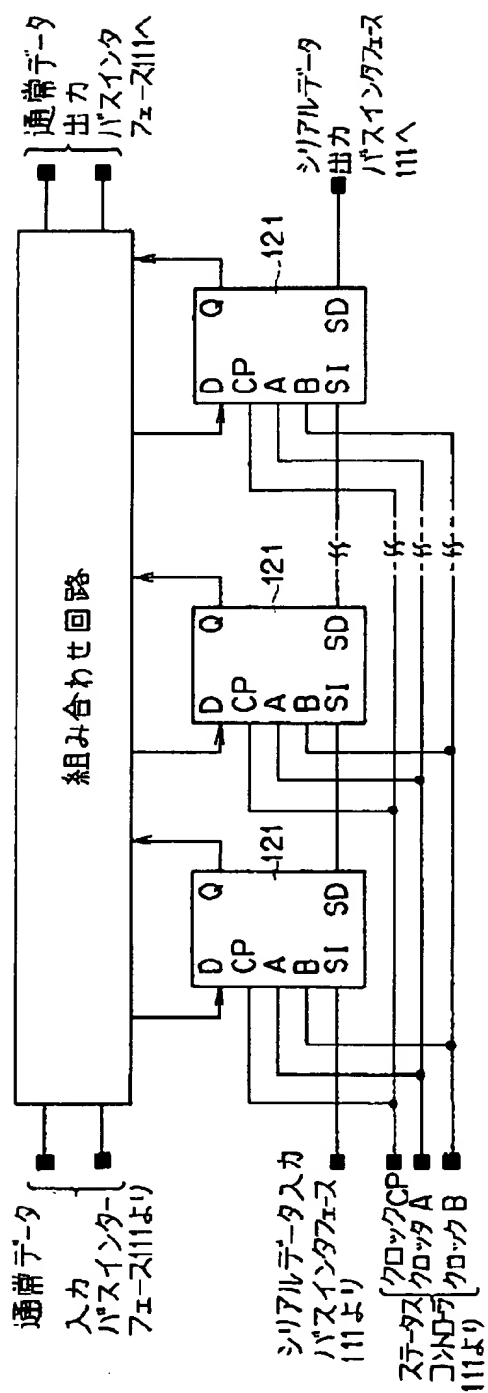
【図4】



【図5】



【図6】



MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特開平 6-52070	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 6-52070
(43)【公開日】 平成 6 年 (1 9 9 4) 2 月 2 5 日	(43)[DATE OF FIRST PUBLICATION] February 25, Heisei 6 (1994. 2.25)
(54)【発明の名称】 集積回路のデータ保護装置およびデータ保護方法	(54)[TITLE OF THE INVENTION] Data protection apparatus and the data protection method of integrated circuit
(51)【国際特許分類第 5 版】 G06F 12/16 340 Q 7629-5B 11/22 360 P 8323-5B	(51)[IPC INT. CL. 5] G06F 12/16 340 Q 7629-5B 11/22 360 P 8323-5B
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 4	[NUMBER OF CLAIMS] 4
【全頁数】 1 2	[NUMBER OF PAGES] 12
(21)【出願番号】 特願平 5-49538	(21)[APPLICATION NUMBER] Japanese Patent Application Heisei 5-49538

(22) 【出願日】

平成 5 年 (1 9 9 3) 3 月 1 0
日

(22)[DATE OF FILING]

March 10, Heisei 5 (1993. 3.10)

(31) 【優先権主張番号】

特願平 4-139420

(31)[FOREIGN PRIORITY APPLICATION
NUMBER]

Japanese Patent Application Heisei 4-139420

(32) 【優先日】

平 4 (1 9 9 2) 5 月 2 9 日

(32)[FOREIGN PRIORITY DATE]

May 29, Heisei 4 (1992. 5.29)

(33) 【優先権主張国】

日本 (J P)

(33)[COUNTRY OF FOREIGN PRIORITY]

(JP)

(71) 【出願人】

【識別番号】

000003078

(71)[PATENTEE/ASSIGNEE]

[ID CODE]

000003078

【氏名又は名称】

株式会社東芝

[NAME OR APPELLATION]

Toshiba Corp.

【住所又は居所】

[ADDRESS OR DOMICILE]

(72) 【発明者】

【氏名】

藤本 曜久

(72)[INVENTOR]

[NAME OR APPELLATION]

Fujimoto Teruhisa

【住所又は居所】

[ADDRESS OR DOMICILE]

(72) 【発明者】

【氏名】

(72)[INVENTOR]

[NAME OR APPELLATION]

須藤 英彦

Sudo Hidehiko

【住所又は居所】

[ADDRESS OR DOMICILE]

(74) 【代理人】

(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】

[NAME OR APPELLATION]

鈴江 武彦

Suzue Takehiko

(57) 【要約】

(57)[ABSTRACT OF THE DISCLOSURE]

【目的】

[PURPOSE]

内部状態データを保持した多数の各種レジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させて、電源中断時のデータ保護を実現することができる集積回路のデータ保護装置を提供することにある。

In integrated circuit which has many various registers holding internal-state data, internal-state data are reliably evacuated to external memory at the time of power-source discontinuation, it is providing data protection apparatus of integrated circuit which can implement data protection at the time of power-source discontinuation.

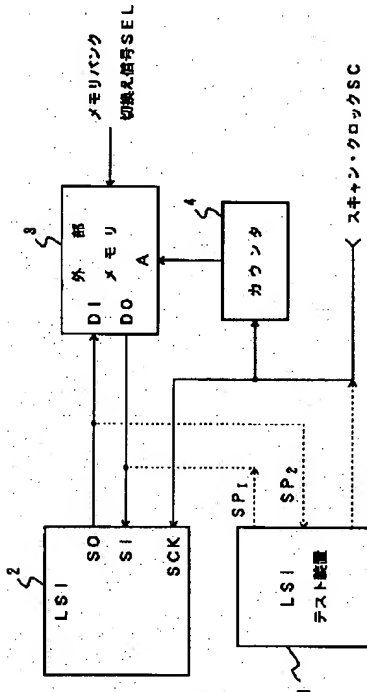
【構成】

[CONSTITUTION]

データ退避モード時に、スキャンパスを通じて集積回路 2 に設けられたスキャン出力端子 S O から内部状態データを読み出し、外部メモリ 3 に格納する。データ復帰モード時に、外部メモリ 3 に退避していた内部状態データを読み出し、集積回路 2 に設けられたスキャン入力端子 S I から入力し、スキャンパスを

Internal-state data are read from scanning output terminal SO provided in integrated circuit 2 through scanning pass at the time of data evacuation mode, it stores in external memory 3. At the time of data reset mode, internal-state data evacuated to external memory 3 are read, it inputs from scanning input terminal SI provided in integrated circuit 2, it resets through scanning pass.

通じて復帰する。



1: LSI Test device -> scan clock SC

3: External memory <- memory bank change signal SEL

4: counter

The scanning clock SC

【特許請求の範囲】

[CLAIMS]

【請求項 1】

スキャンパスを形成するように接続された複数のレジスタと、外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、

[CLAIM 1]

Integrated circuit that responds to some registers connected so that scanning pass might be formed, and external signal, and scanning pass is formed in these registers at the time of data evacuation mode.

It responds to data evacuation means and external signal which read holding data of each register outside through formed scanning pass, and scanning pass is formed in these registers

外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備したことを特徴とする集積回路。

【請求項 2】

データ退避モード時に、集積回路内の複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出し、読み出したデータを保護用メモリに保存するデータ退避工程と、
データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備したことを特徴とする集積回路の内部レジスタの保持データの退避・復帰方法。

【請求項 3】

集積回路の内部に構成されるスキャンパスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護装置において、
データ退避モード時に前記集積

at the time of data reset mode.

Data reset means and these which return data evacuated through formed scanning pass to original register were comprised.

[CLAIM 2]

A evacuation * reset method of holding data of internal register of integrated circuit, in which scanning pass is formed in some registers in integrated circuit at the time of data evacuation mode.

It is read-out to exterior about holding data of each register through formed scanning pass, data evacuation process which saves read data in memory for protection, scanning pass is formed in these registers while reading storage data for said protection at the time of data reset mode.

Data reset process which returns data evacuated through formed scanning pass to original register, these were comprised.

[CLAIM 3]

Data protection apparatus of integrated circuit using scanning method which performs circuit test using scanning pass comprised inside integrated circuit, comprising memory means for data protection to store internal-state data of said integrated circuit at the time of data

回路の内部状態データを格納するデータ保護用メモリ手段と、前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出して前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するデータ復帰手段とを具備したことを特徴とする集積回路のデータ保護装置。

【請求項 4】

集積回路の内部に構成されるスキャンパスを使用して回路テストを行なうスキャン方式を利用する集積回路のデータ保護方法において、データ退避モード時に前記集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、前記集積回路に対する所定のビット幅のデータの入出力を行な

evacuation mode, data input-output means for performing input-output of data of fixed bit width with respect to said integrated circuit, data evacuation means to carry out series / juxtaposing conversion of said internal-state data read through said scanning pass at the time of said data evacuation mode at data of said fixed bit width, and to store in said memory means for data protection through said data input-output means, data reset means to read said internal-state data from said memory means for data protection, to input from said data input-output means, to convert data of said fixed bit width into said series internal-state data, and to reset through said scanning pass at the time of data reset mode.

[CLAIM 4]

The data protection method of integrated circuit using scanning method which performs circuit test using scanning pass comprised inside integrated circuit, comprising Step which stores internal-state data of said integrated circuit in memory means for data protection at the time of data evacuation mode, step which performs input-output of data of fixed bit width with respect to said integrated circuit, step which carries out series / juxtaposing conversion of said internal-state data read

うステップと、
前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、
データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出しし、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するステップとからなることを特徴とするデータ保護方法。

through said scanning pass at the time of said data evacuation mode at data of said fixed bit width, and is stored and evacuated to said memory means for data protection, step which reads and carries out said internal-state data from said memory means for data protection, converts data of said fixed bit width into said series internal-state data, and resets through said scanning pass at the time of data reset mode.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【０００１】****[0001]****【産業上の利用分野】****[INDUSTRIAL APPLICATION]**

本発明は、コンピュータ等に使用される集積回路の内部状態データを保護するための集積回路のデータ保護装置に関する。

This invention relates to data protection apparatus of integrated circuit for protecting internal-state data of integrated circuit used for computer etc.

【０００２】**[0002]****【従来の技術】****[PRIOR ART]**

パーソナルコンピュータ等のコンピュータシステムにおいては、レジューム機能を備えるも

In computer system, such as personal computer, there are many things equipped with resume function.

が多い。レジューム機能は、コンピュータの電源がオフされたとき、各種レジスタの記憶データを不揮発性メモリに退避し、電源が再びオンされたときに、退避していた記憶データを元のレジスタに設定し、電源オフの直前の状態からデータ処理を実行可能とする機能である。

Resume function evacuates store data of various registers to non volatile storage, when power source of computer is turned off, when power source is switched on again, store data which evacuated is set as the original register, it is function which makes data processing executable from state before power-source OFF.

【 0 0 0 3 】**[0003]**

【発明が解決しようとする課題】

しかし、従来では、退避すべきデータが大量にある場合、データの退避に時間がかかる。このため、スイッチをオフしてから実際にコンピュータがオフされるまでの時間が異常に長くなったり、場合により、データを完全に退避できないという問題があった。

[PROBLEM TO BE SOLVED BY THE INVENTION]

However

In past, when there are data which should be evacuated in large quantities, evacuation of data takes time.

For this reason, there was problem that time after switching off until computer is actually turned off could not get long unusually, or data could not be completely evacuated by case.

【 0 0 0 4 】**[0004]**

例えば、グラフィック・コントローラ等の、従前の状態に依存して次の状態に遷移するいわゆるステートマシンは、テンポラリレジスタや制御用レジスタ等の各種レジスタを内部に多数有する集積回路（LSI）を使用する。このため、集積回路の内部状態データを退避するときに、データ転送に時間がかかり過ぎ、レジューム機能が実現で

For example, integrated circuit (LSI) which has many various registers, such as temporary register and register for control, to inside is used for the so-called state machine shifted in the following state depending on previous state of controller / graphic, etc.

For this reason, when evacuating internal-state data of integrated circuit, data transmission takes time too much and resume function may be unable to be implemented.

きない場合がある。

【0005】

本発明の目的は、上記実情に鑑みてなされたもので、多数のレジスタを有する集積回路において、電源中断時に内部状態データを確実に外部メモリに退避させることができる集積回路のデータ保護装置を提供することにある。本発明の他の目的は、内部レジスタの保持データを高速に退避させることができる集積回路を提供することにある。

[0005]

Objective of the invention is providing data protection apparatus of integrated circuit which can evacuate internal-state data to external memory reliably at the time of power-source discontinuation in integrated circuit which was made in view of the above-mentioned situation, and has many registers.

Other objective of this invention is providing integrated circuit to which holding data of internal register can be evacuated at high speed.

【0006】

【課題を解決するための手段】
上記目的を達成するため、請求項1記載の集積回路は、スキャンパスを形成するように接続された複数のレジスタと、外部信号に応答し、データ退避モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出すデータ退避手段と、外部信号に応答し、データ復帰モード時に、前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰手段、を具備する。

[0006]**[MEANS TO SOLVE THE PROBLEM]**

In order to attain the above-mentioned objective, integrated circuit of Claim 1 is responded to some registers connected so that scanning pass might be formed, and external signal, scanning pass is formed in these registers at the time of data evacuation mode.

Data evacuation means which read holding data of each register outside through formed scanning pass, it responds to external signal, scanning pass is formed in these registers at the time of data reset mode.

Data reset means to return data evacuated through formed scanning pass to original register, these are comprised.

【0007】

また、請求項2記載の方法は、データ退避モード時に、集積回路内の複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して各レジスタの保持データを外部に読み出し、読みだしたデータを保護用メモリに保存するデータ退避工程と、データ復帰モード時に、前記保護用の保存データを読み出すと共に前記複数のレジスタにスキャンパスを形成させ、形成されたスキャンパスを介して退避していたデータをもとのレジスタに復帰させるデータ復帰工程、を具備する。

【0008】

さらに、請求項3記載の装置は、データ退避モード時に集積回路の内部状態データを格納するデータ保護用メモリ手段と、前記集積回路に対する所定のビット幅のデータの入出力を行なうためのデータ入出力手段と、前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ入出力手段を通じて前記データ保護用メモリ手段に格納するデータ退避手段と、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出し

[0007]

Moreover, the method of Claim 2 forms scanning pass in some registers in integrated circuit at the time of data evacuation mode.

It is read-out to exterior about holding data of each register through formed scanning pass, data evacuation process which saves read data in memory for protection, scanning pass is formed in these registers while reading storage data for said protection at the time of data reset mode.

Data reset process which returns data evacuated through formed scanning pass to original register, these are comprised.

[0008]

Furthermore, apparatus of Claim 3 are memory means for data protection to store internal-state data of integrated circuit at the time of data evacuation mode, data input-output means for performing input-output of data of fixed bit width with respect to said integrated circuit, series / juxtaposing conversion of said internal-state data read through said scanning pass at the time of said data evacuation mode are carried out at data of said fixed bit width, data evacuation means to store in said memory means for data protection through said data input-output means, at the time of data reset mode, said internal-state data are read from said memory means for data protection, and it inputs from said data input-output means at it, data reset means to convert data of said fixed

て前記データ入出力手段から入力し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するデータ復帰手段を具備する。

【 0 0 0 9 】

また、請求項 4 記載の方法はデータ退避モード時に集積回路の内部状態データをデータ保護用メモリ手段に記憶するステップと、前記集積回路に対する所定のビット幅のデータの入出力を行なうステップと、前記データ退避モード時に、前記スキャンパスを通じて読出された前記内部状態データを前記所定のビット幅のデータに直列／並列変換し、前記データ保護用メモリ手段に記憶して退避するステップと、データ復帰モード時に、前記データ保護用メモリ手段から前記内部状態データを読出し、前記所定のビット幅のデータを直列の前記内部状態データに変換して前記スキャンパスを通じて復帰するステップを備える。

【 0 0 1 0 】**【作用】**

請求項 1 ないし 4 記載の発明によれば、データ退避時及びデータ復帰次にデータはレジスタか

bit width into said series internal-state data, and to reset through said scanning pass are comprised.

[0009]

Moreover, the method of Claim 4 is a step which stores internal-state data of integrated circuit in memory means for data protection at the time of data evacuation mode, step which performs input-output of data of fixed bit width with respect to said integrated circuit, series / juxtaposing conversion of said internal-state data read through said scanning pass at the time of said data evacuation mode are carried out at data of said fixed bit width, said internal-state data are read and carried out to step stored and evacuated to said memory means for data protection from said memory means for data protection at the time of data reset mode, it has step which converts data of said fixed bit width into said series internal-state data, and resets through said scanning pass.

[0010]**[OPERATION]**

According to invention of claims 1 thru/or 4, the time of data evacuation, and data reset next, sequential transmission of the data is carried

ら構成されるスキャンパス（シフトレジスタ）内を順次転送されて外部に読み出され、或いは、元のレジスタにセットされる。従って、内部レジスタの数が多い場合でも、短時間に保持データを退避・復帰できる。

out in inside of scanning pass (shift register) which comprises registers, and they are read outside, or are set to the original register. Therefore, even when there are many internal registers, holding data can be evacuated * reset in a short time.

【0011】**[0011]****【実施例】**

以下図面を参照して本発明の実施例を説明する。

[EXAMPLES]

With reference to drawing, Example of this invention is demonstrated below.

【0012】**[0012]**

図1は第1の実施例に係るデータ保護装置の構成を示すブロック図である。本装置は、LSIテスト装置1、集積回路（LSI）2、外部メモリ3およびカウンタ4を有する。集積回路2の内部レジスタの保持データが、本実施例における退避・保護の対象となる。

FIG. 1 is block diagram showing composition of data protection apparatus based on 1st Example.

This apparatus has LSI test apparatus 1, integrated circuit (LSI) 2, external memory 3, and counter 4.

Holding data of internal register of integrated circuit 2 are set as object of evacuation * protection in this Example.

【0013】**[0013]**

LSIテスト装置1はスキャンパス方式により、集積回路2内のスキャンパスを利用して、集積回路2をテストする装置である。集積回路2は、内部に有する一連のレジスタ（フリップフロップ）により構成されるスキャンパス（シフトパス回路）を有し、例えばグラフィックコントローラ等のステートマシンに

LSI test apparatus 1 utilizes scanning pass in integrated circuit 2 with scanning pass system, it is apparatus which tests integrated circuit 2.

Integrated circuit 2 has scanning pass (shift pass circuit) comprised by a series of registers (flip flop) which it has inside, for example, it is LSI (large scale integrated circuit) used for state machines, such as graphic controller.

Integrated circuit 2 (for example) is controlled by processor (CPU) of computer system which

使用される L S I (大規模集積回路) である。集積回路 2 は、例えば、図示せぬコンピュータシステムのプロセッサ (C P U) により制御される。

【 0 0 1 4 】

外部メモリ 3 は、例えば、バッテリによりバックアップされた RAM であり、リジューム機能のデータ退避モード時に、集積回路 2 の内部データの退避先となる。外部メモリ 3 は不揮発性メモリでもよい。カウンタ 4 の出力データは外部メモリ 3 にアドレス A として供給される。カウンタ 4 はスキャン・クロック S C に同期してカウント値を更新する。次に、図 1 のデータ保護装置の動作を図 3 のフローチャートを参照して説明する。

【 0 0 1 5 】

通常のテストモード (集積回路 2 のテスト) では、L S I テスト装置 1 は、集積回路 2 のスキャン制御端子 S C に指示信号を供給して内部レジスタをシリアルに接続してスキャンパスを形成すると共にスキャン・クロック端子 S C K にスキャン・クロック S C を入力し、スキャンパス方式のテストを実行する (ステップ S 1 の Y E S)。L S I テスト装置 1 は、集積回路 2 のスキャン入力端子 S I を通じて、

[0014]

External memory 3 (for example) is RAM backed up by battery, at the time of data evacuation mode of resume function, it becomes evacuation destination of in house data of integrated circuit 2.

Non volatile storage is sufficient as external memory 3.

Output data of counter 4 are supplied to external memory 3 as address A.

Counter 4 updates counted value synchronizing with scanning * clock S C.

Next, action of data protection apparatus of FIG. 1 is demonstrated with reference to flowchart of FIG. 3.

[0015]

In usual static test mode (test of integrated circuit 2), it inputs scanning * clock S C into scanning * clock terminal S C K while L S I test apparatus 1 supplies command signal to scanning control terminal S C of integrated circuit 2, connects internal register to it serially and forms scanning pass, test of scanning pass system is performed (YES of step S1).

L S I test apparatus 1 leads scanning input terminal S I of integrated circuit 2, test data (scanning pass data S P 1) which is serial data is supplied synchronizing with scanning * clock S C (step S2).

シリアルデータであるテストデータ（スキャンパスデータ S P 1）をスキャン・クロック S C に同期して供給する（ステップ S 2）。

【0016】

一方、LSI テスト装置 1 は、集積回路 2 のスキャン出力端子 S O を介して、テストデータに応じた出力データ（スキャンパスデータ S P 2）を、スキャン・クロック S C に同期して受信する（ステップ S 3）。このスキャンパスデータ S P 2 と予め用意された基準データとを比較し、集積回路 2 の回路テストを実行する。

[0016]

On the other hand, LSI test apparatus 1 receives output data (scanning pass data SP 2) according to test data through scanning output terminal SO of integrated circuit 2 synchronizing with scanning * clock SC (step S3). This scanning pass data SP 2 is compared with reference-standard data prepared beforehand, circuit test of integrated circuit 2 is performed.

【0017】

次に、集積回路 2 を含むシステムの電源が中断し、かつ、リジューム機能が設定されており、集積回路 2 の内部状態データを外部メモリ 3 に退避する場合（ステップ S 1 の N O）の動作を説明する。リジューム機能のデータ退避モードでは、システムの C P U が集積回路 2 の通常動作を中断させる（ステップ S 4 の Y E S, S 5）。なお、データ退避モードは、リジューム機能だけでなく、タスク切換え、割り込み処理等の場合にも実行される。

[0017]

Next, power source of system containing integrated circuit 2 is interrupted, and resume function is set up, action in case (NO of step S1) of evacuating internal-state data of integrated circuit 2 to external memory 3 is demonstrated. CPU of system interrupts normal operation of integrated circuit 2 in data evacuation mode of resume function (YES of step S4, S5). In addition, not only resume function but in task change, interruption treatment, etc., data evacuation mode is performed.

【0018】

CPUは、集積回路2のスキャン制御端子SCに指示信号を供給して内部レジスタをシリアルに接続してスキャンパスを形成させると共にスキャン・クロック端子SCKにスキャン・クロックSCを供給させ、かつ、スキャン・クロックSCをカウンタ4に供給して起動させる（ステップS6）。カウンタ4はスキャン・クロックSCをカウントして、集積回路2から出力されるデータを格納する外部メモリ3のアドレスAを出力する。

【0019】

集積回路2は、スキャン・クロックSCに同期して、スキャン出力端子SOから内部状態データを出力する。この内部状態データは外部メモリ3のデータ入力端子DIに供給され、外部メモリ3のカウンタ4によりアドレス指定された位置に格納される（ステップS7）。

【0020】

即ち、集積回路2のスキャンパスを利用して、スキャン・クロックSCに同期して転送される内部状態データをスキャン出力端子SOから出力させて、外部メモリ3に退避させる。外部メモリ3はバッテリーによりバックアップされているため、集積回

[0018]

CPU supplies command signal to scanning control terminal SC of integrated circuit 2, and it lets scanning * clock terminal SCK supply scanning * clock SC while connecting internal register serially and forming scanning pass.

And it lets counter 4 supply and start scanning * clock SC (step S6).

Counter 4 counts scanning * clock SC, address A of external memory 3 which stores data outputted from integrated circuit 2 is outputted.

[0019]

Integrated circuit 2 synchronizes with scanning * clock SC, internal-state data are outputted from scanning output terminal SO.

This internal-state data is supplied to data-entry terminal DI of external memory 3, and is stored in position addressed by counter 4 of external memory 3 (step S7).

[0020]

That is, scanning pass of integrated circuit 2 is utilized, internal-state data transmitted synchronizing with scanning * clock SC are outputted from scanning output terminal SO, it is made to evacuate to external memory 3.

Since external memory 3 is backed up by battery, internal-state data of integrated circuit 2 are reliably saved also during power-source

路 2 の内部状態データは、システム電源オフの間も、確実に保存される。

【 0 0 2 1 】

なお、外部メモリ 3 の記憶容量に余裕がある場合、CPU がメモリバンク切換え信号 SEL を外部メモリ 3 に出力して、外部メモリ 3 のバンク切換え制御を行なうようにしてもよい。これにより、外部メモリ 3 の通常のデータ処理に使用されるメモリバンクとは別のメモリバンクに内部状態データを格納することが可能となる。また、外部メモリ 3 のバンクをタスク切換えに応じて切り換えると、複数のタスクが共有する 1 つの LSI の内部状態データをタスク毎に対応するメモリバンクに格納できる。

【 0 0 2 2 】

次に、システムの電源が復帰すると、リジューム機能のデータ復帰モードとなり、システムは退避された内部状態データを集積回路 2 に復帰させる処理を行なう（ステップ S 8 の YES）。システムの CPU はカウンタ 4 をプリセットし、スキャン・クロック SC を供給して起動させ、そのカウント値を更新させる（ステップ S 9）。カウンタ 4 のプリセット値は、データ退避

OFF of system.

[0021]

In addition, when allowances are in memory capacity of external memory 3, CPU outputs memory-bank switching signal SEL to external memory 3, and it may be made to perform bank change control of external memory 3.

Thereby, internal-state data are storable in memory bank different from memory bank used for usual data processing of external memory 3. Moreover, if bank of external memory 3 is switched according to task change, internal-state data of one LSI which some tasks share are storable in memory bank which corresponds for every task.

[0022]

Next, if power source of system resets, it will become data reset mode of resume function, and system will perform treatment whose evacuated internal-state data are returned to integrated circuit 2 (YES of step S8).

CPU of system carries out preset of counter 4, and supplies and starts scanning * clock SC.

The counted value is updated (step S9).

Preset value of counter 4 is address A of external memory 3 on which was stored internal-state data at the time of data evacuation mode.

モード時に内部状態データを格納した外部メモリ 3 のアドレス A である。また、CPU は外部メモリ 3 を読み出しモードに設定する。

【0023】

外部メモリ 3 は、カウンタ 4 から供給されるアドレスにより指定される記憶位置からデータを読みだし、データ出力端子 DO に出力する。この出力データは集積回路 2 のスキャン入力端子 S I に供給させる（ステップ S 10）。集積回路 2 はスキャン・クロック S C に同期して、スキャン入力端子 S I に供給される内部状態データを入力し、スキャンパス上をシフトする。すべてのデータが元のレジスタにセットされた時点で、CPU はスキャンクロックの S C の供給を停止し、さらに、スキャン制御 S C に供給していた指示信号の供給を停止し、内部レジスタを通常状態に設定し、スキャンパスを解消する。以上のようにして、集積回路 2 内のレジスタのデータの退避および復帰がスキャンパスを用いて実現できる。

【0024】

図 2 はこの発明の第 2 の実施例に係わるデータ保護装置の構成を示すブロック図である。第 2 の実施例は、集積回路 2 のデー

Moreover, CPU sets external memory 3 as read-out mode.

[0023]

External memory 3 reads data from storage location designated by address supplied from counter 4, and outputs them to data output terminal DO.

It lets scanning input terminal SI of integrated circuit 2 supply these output data (step S10).

Integrated circuit 2 synchronizes with scanning * clock SC, internal-state data supplied to scanning input terminal SI are input, scanning pass top is shifted.

When all data are set to the original register, CPU stops supply of SC of scanning clock, furthermore, supply of command signal currently supplied to scanning control SC is stopped, internal register is set as normal condition, scanning pass is canceled.

It is made above, evacuation and reset of data of register in integrated circuit 2 can be implemented using scanning pass.

[0024]

FIG. 2 is block diagram showing composition of data protection apparatus concerning 2nd Example of this invention.

2nd Example performs each mode of data

タ退避およびデータ復帰の各モードを、システムのI/Oポート5に接続されるデータバス（例えば8ビット幅）6を利用して実行する。

【0025】

集積回路2は、具体的には図2に示すように、マルチプレクサ7、20、21一連のレジスタR1～Rn、内部制御回路8、カウンタ9、P/S回路10およびデータ入出力端子12を通じてシステムのデータバス6に接続された内部データバス11、バッファ回路13を有する。

【0026】

レジスタR1～Rnはスキャンパスを構成する一連のシフトレジスタまたはフリップフロップである。レジスタR2、R3は、タスク切換え時には内部状態を保持する必要のないフリップフロップであると仮定する。

【0027】

レジスタR1～Rnには、内部制御回路8からのスキャンパス制御信号とスキャンクロック端子SCからのスキャンクロック信号SCKが供給される。レジスタR1～Rnは通常用のデータ入力端と出力端と共にスキャンパス用のデータ入力端と出力端を有し、スキャンパス制御

evacuation of integrated circuit 2, and data reset using data bus (for example, 8-bit width) 6 connected to I/O port 5 of system.

[0025]

As shown in FIG. 2, integrated circuit 2 has specifically internal data bus 11 and buffer circuit 13 which were connected to data bus 6 of system through register R1-Rn, internal-control circuit 8, counter 9, P/S circuit 10, and data input/output terminal 12 of multiplexers 7 and 20 and 21 series.

[0026]

Register R1-Rn is a series of shift registers or flip flops which comprise scanning pass. It is assumed that register R2 and R3 are flip flops which do not have need of maintaining internal state, at the time of task change.

[0027]

Scanning pass control signal from internal-control circuit 8 and scanning clock signal SCK from scanning clock terminal SC are supplied to register R1-Rn. Register R1-Rn usually has data-entry edge and output edge for scanning pass with data-entry edge and output edge of business, when scanning pass control signal is OFF, in order to enable usual action, input/output

信号がオフの時は、通常の動作を可能とするために所定の論理回路を構成するように接続された通常用の入出力端子が有効となり、スキャンパス制御信号がオンの時は、レジスタ R1 ~ Rn からなるスキャンパスを形成するために図 2 に示すようにシリアルに接続されたスキャンパス用の入出力端子が有効となる。8 個のレジスタ Rn-7 ~ Rn スキャンパス用の出力端はバッファ 13 に供給される。バッファ 13 は、内部制御回路 8 からの制御信号に応答して、スキャンパス上の 8 ビットデータを内部データバス 11 にパラレルで出力する。

【0028】

マルチプレクサ 20 は、内部制御回路 8 からの切り換え信号に応答して、レジスタ R1 から供給されるデータをレジスタ R2 とマルチプレクサ 21 の一方に供給する。また、マルチプレクサ 21 は、切り換え信号に応答して、レジスタ R3 から供給されるデータとマルチプレクサ 21 から供給されるデータの一方をレジスタ R4 に供給する。

【0029】

マルチプレクサ 7 は、内部制御回路 8 からの制御信号に応答して、スキャン入力端子 S I から

terminal for usual connected so that fixed logic circuit might be comprised becomes effective, when scanning pass control signal is ON, in order to form scanning pass which is made up of register R1-Rn, input/output terminal for scanning pass connected serially as shown in FIG. 2 becomes effective.

Eight output edges for register Rn-7-Rn scan pass are supplied to buffer 13.

Buffer 13 is in response to control signal from internal-control circuit 8, it is parallel to internal data bus 11, and 8 bit data on scanning pass are outputted to it.

[0028]

Multiplexer 20 is in response to switch signal from internal-control circuit 8, data supplied from register R1 are supplied to one side of register R2 and multiplexer 21.

Moreover, multiplexer 21 is in response to switch signal, one side of data supplied from register R3 and data supplied from multiplexer 21 is supplied to register R4.

[0029]

Multiplexer 7 is in response to control signal from internal-control circuit 8, one side of test data supplied from scanning input terminal SI

供給されるテストデータと P/S (パラレル/シリアル) 変換回路から供給される内部状態データの一方を選択して出力する。

【0030】

内部制御回路 8 は、制御端子 2 を介してシステムの CPU と接続されており、各種信号をレジスタ、マルチプレクサに供給すると共に、CPU が集積回路 2 をアクセスするタイミングを制御する。

【0031】

カウンタ 9 は、スキャン・クロック端子 SCK に供給されるスキャン・クロック SC によりカウント動作を行い、カウント値を内部制御回路 8 と P/S 回路 10 に供給する。

【0032】

P/S 回路 10 は、並列/直列変換回路であり、内部データバス 11 を通じて復帰されるパラレルデータを、カウンタ 9 のカウント値に応答して、シリアルデータに変換する。バッファ 13 は、レジスタ Rn-7 ~ Rn の出力データ (8 ビット) を内部制御回路 8 からの制御信号に応答して、内部データバス 11 上に出力量。次に、第 2 実施例にかかる回路の動作を図 4 を参

and internal-state data supplied from P/S (parallel/serial) converting circuit is chosen and outputted.

[0030]

Internal-control circuit 8 is connected with CPU of system through control terminal 22, while supplying various signals to register and multiplexer, CPU controls timing which accesses integrated circuit 2.

[0031]

Counter 9 performs count action with scanning * clock SC supplied to scanning * clock terminal SCK, counted value is supplied to internal-control circuit 8 and P/S circuit 10.

[0032]

P/S circuits 10 are juxtaposing / serial converting circuit, about parallel data which reset through internal data bus 11, it is in response to counted value of counter 9, it converts into serial data.

Buffer 13 is in response to control signal from internal-control circuit 8 about output data (8 bits) of register Rn-7-Rn, it outputs on internal data bus 11.

Next, action of circuit concerning 2nd Example is demonstrated with reference to FIG. 4.

(1) Scanning pass in which it is shown at FIG. 2

照して説明する。

(1) 通常動作時は、図 2 に示されるスキャンパスは機能せず、各レジスタは必要な論理回路を構成すべく動作する。

at the time of normal operation does not function, but each register operates that required logic circuit should be comprised.

【 0 0 3 3 】

(2) 通常のテストモードでは、CPU は内部制御回路 8 に制御データを供給し、スキャンパスの形成を指示する。この制御データに応答し、内部制御回路 8 は、レジスタ R1 乃至 Rn に制御信号を供給してスキャンパスを形成させ、さらに、マルチプレクサ 20 にデータをレジスタ R2 に供給させ、マルチプレクサ 21 にレジスタ R3 の出力を選択させる。

[0033]

(2) In usual static test mode, CPU supplies control data to internal-control circuit 8, formation of scanning pass is commanded.

It responds to these control data, internal-control circuit 8 supplies control signal to register R1 thru/or Rn, and forms scanning pass.

Furthermore, it lets register R2 supply data to multiplexer 20.

Output of register R3 is chosen as multiplexer 21.

【 0 0 3 4 】

その後、CPU は、LSI テスト装置 1 にテストの開始を指示する。この指示に応答し、LSI テスト装置 1 は集積回路 2 のスキャン・クロック端子 SCK にスキャン・クロック SC を入力し、スキャン方式のテスト処理を実行する (ステップ S20 の YES)。即ち、LSI テスト装置 1 は、集積回路 2 のスキャン入力端子 SI に、テストデータ (スキャンパスデータ SP1) をスキャン・クロック SC に同期してシリアルに供給する (ステップ S21)。マルチプレクサ

[0034]

After that, CPU commands start of test to LSI test apparatus 1.

It responds to this command, LSI test apparatus 1 inputs scanning * clock SC into scanning * clock terminal SCK of integrated circuit 2, test treatment of scanning method is performed (YES of step S20).

That is, LSI test apparatus 1 supplies serially test data (scanning pass data SP1) to scanning input terminal SI of integrated circuit 2 synchronizing with scanning * clock SC (step S21).

Multiplexer 7 is in response to control signal from internal-control circuit 8, test data supplied from scanning input terminal SI is outputted to

7は、内部制御回路8からの制御信号に応答して、スキャン入力端子S Iから供給されるテストデータを、レジスタR1～Rnから構成されるスキャンパスへ出力する。レジスタR1～Rnはスキャン・クロックSCに同期して供給されたデータを取り込み、また、保持データを出力する。

【0035】

LSIテスト装置1は、集積回路2のスキャン出力端子SOから、テストデータに応じた出力データ（スキャンパスデータSP2）を、スキャン・クロックSCに同期して受信する（ステップS22）。このスキャンパスデータSP2と予め用意された基準データとを比較し、集積回路2の回路テストを実行する。

【0036】

(3) レジューム機能がオンされた状態で、集積回路2を含むシステムの電源が中断されると（ステップS20のNO）、集積回路2の内部状態データを退避する処理が実行される（ステップS23のYES）。

【0037】

より詳細には、CPUは内部制御回路8に制御データを供給し、データの退避を指示する。

scanning pass which comprises register R1-Rn. Register R1-Rn receives data supplied synchronizing with scanning * clock SC, and outputs holding data.

[0035]

LSI test apparatus 1 receives output data (scanning pass data SP 2) according to test data from scanning output terminal SO of integrated circuit 2 synchronizing with scanning * clock SC (step S22).

This scanning pass data SP 2 is compared with reference-standard data prepared beforehand, circuit test of integrated circuit 2 is performed.

[0036]

(3) If power source of system containing integrated circuit 2 is interrupted where resume function is switched on (NO of step S20), treatment which evacuates internal-state data of integrated circuit 2 will be performed (YES of step S23).

[0037]

In more detail, CPU supplies control data to internal-control circuit 8, evacuation of data is commanded.

内部制御回路 8 は、レジスタ R1 乃至 Rn に制御信号を供給してスキャンパスを形成させ、さらに、マルチプレクサ 20 にデータをレジスタ R2 に供給させ、マルチプレクサ 21 にレジスタ R3 の出力を選択させる。さらに、内部制御回路 8 はカウンタ 4 を起動する。

Internal-control circuit 8 supplies control signal to register R1 thru/or Rn, and forms scanning pass.

Furthermore, it lets register R2 supply data to multiplexer 20.

Output of register R3 is chosen as multiplexer 21.

Furthermore, internal-control circuit 8 starts counter 4.

【0038】

CPU は LSI テスト装置 1 にスキャン・クロック SC を出力させる。カウンタ 4 は、8 進カウンタであり、スキャン・クロック SC を 8 クロックカウントする度に内部制御回路 8 に信号を出力する。内部制御回路 8 は、カウンタ 4 からのカウント値に応答してバッファ B を制御し、8 スキャン・クロック毎にレジスタ Rn-7 から Rn の出力を内部データバス 11 に出力させる。即ち、スキャンパスを転送されるシリアルな内部状態データは 8 ビットの平行データに変換され、内部データバス 11 に出力される（ステップ S24）。また、内部制御回路 8 は 8 スキャンクロック毎に CPU にアクセスタイミングを通知する。

[0038]

CPU outputs scanning * clock SC to LSI test apparatus 1.

Counter 4 is octal counter, whenever it counts eight clocks of scanning * clocks SC, signal is outputted to internal-control circuit 8.

Internal-control circuit 8 controls Buffer B in response to counted value from counter 4, output of register Rn-7 to Rn is outputted to internal data bus 11 for every 8 scan * clock.

That is, serial internal-state data to which scanning pass is transmitted are converted into 8-bit parallel data, and are outputted to internal data bus 11 (step S24).

Moreover, internal-control circuit 8 informs access timing to CPU for every 8 scan clock.

【0039】

集積回路 2 の内部データバス 11 およびデータ入出力端子 12

[0039]

Internal-state data read through internal data bus 11 and data input/output terminal 12 of

を通じて読出された内部状態データは、システムのデータバス 6 に出力される。CPU は、内部制御回路 8 から供給されるタイミング信号に応答して、データバス 6 上のデータを外部メモリ 3 に対応する I/O ポート 5 に送出する (ステップ S 2 5)。CPU は、I/O ポート 5 に読出した内部状態データを外部メモリ 3 に格納する (ステップ S 2 6)。CPU は予め用意されたステータスレジスタによるチェック処理または割込み処理等により、集積回路 2 からの内部状態データの読出し終了を制御する。

【0040】

このようにして、システムの電源が中断する以前に、集積回路 2 に保持されている内部状態データを外部メモリ 3 に退避させることができる。外部メモリ 3 はバッテリーによりバックアップされているため、退避された集積回路 2 の内部状態データを確実に保存する。

【0041】

システムの電源が復帰されると、システムは退避させた内部状態データを集積回路 2 に復帰させる処理を行なう (ステップ S 2 7 の YES)。CPU は外部メモリ 3 に退避させた内部状態

integrated circuit 2 are outputted to data bus 6 of system.

In response to timing signal to which CPU is supplied from internal-control circuit 8, data on data bus 6 are sent out to I/O port 5 corresponding to external memory 3 (step S25). CPU stores in external memory 3 internal-state data read to I/O port 5 (step S26).

CPU controls the read-out completion of internal-state data from integrated circuit 2 by check treatment or interrupt treatment by status register prepared beforehand etc.

[0040]

Thus, before interrupting power source of system, internal-state data currently maintained at integrated circuit 2 can be evacuated to external memory 3.

Since external memory 3 is backed up by battery, internal-state data of evacuated integrated circuit 2 are saved reliably.

[0041]

If power source of system resets, system will perform treatment whose internal-state data to which it was made to evacuate are returned to integrated circuit 2 (YES of step S27).

CPU divides into 8 bits at a time internal-state data evacuated to external memory 3 by turn

データを、データ退避モード時に読出した順番で8ビットづつに割りI/Oポート5に一時的に保持させる（ステップS28）。また、CPUは、スキャン・クロックSCを供給してカウンタ4を起動させる。

read at the time of data evacuation mode, and it lets it maintain them temporarily to I/O port 5 (step S28).

Moreover, CPU supplies scanning * clock SC and starts counter 4.

【0042】

CPUはI/Oポート5に保持された内部状態データを8ビット単位で、システムのデータバス6およびデータ入出力端子12を通じて集積回路2の内部データバス11に入力させる。P/S回路10は、内部データバス11に入力された平行の内部状態データをラッチする。カウンタ9は8進カウンタであり、スキャン・クロックSCのクロック数をカウントし、カウント出力をP/S回路10に供給する。P/S回路10は、カウント出力に応じて、ラッチした8ビット平行データをシリアルデータに変換する（ステップS29）。

[0042]

CPU is 8-bit unit and inputs into internal data bus 11 of integrated circuit 2 internal-state data maintained at I/O port 5 through data bus 6 and data input/output terminal 12 of system.

P/S circuit 10 latches parallel internal-state data input into internal data bus 11.

Counter 9 is octal counter, the number of clocks of scanning * clock SC is counted, count output is supplied to P/S circuit 10.

P/S circuit 10 converts 8 latched bit-parallel data into serial data according to count output (step S29).

【0043】

マルチプレクサ7は、P/S回路10から供給されるシリアル内部状態データをレジスタR1～Rnからなるスキャンパスへ出力する（ステップS30）。レジスタR1～Rnは、スキャン・クロックSCに同期

[0043]

Multiplexer 7 outputs serial internal-state data supplied from P/S circuit 10 to scanning pass which is made up of register R1-Rn (step S30).

Register R1-Rn synchronizes with scanning * clock SC, supplied data are shifted.

That is, scanning pass is utilized for integrated circuit 2, internal-state data evacuated to

して、供給されたデータをシフトする。即ち、集積回路 2 にはスキャンパスを利用して、外部メモリ 3 に退避された内部状態データを元のレジスタに復帰する。CPU はステータスレジスタによるチェック処理または割り込み処理等により、退避されたデータが元のレジスタに再設定された時点で、内部状態データの書込み（復帰）処理を終了する。

【0044】

このようにして、スキャンパスおよびデータバスを利用して、電源中断時に、内部状態データを退避し、電源復帰時に退避した内部状態データを復帰できる。したがって、集積回路 2 の各レジスタを順番にアドレスして、その保持値を読み出す場合に比較して、内部状態データを、高速かつ確実に読みだし、退避させることができる。従って、レジスタ数が多い場合でも、短時間に、内部データを退避できる。

【0045】

(4) タスク切り換え時の動作は、マルチプレクサ 20 がデータをマルチプレクサ 21 に供給し、マルチプレクサ 21 がマルチプレクサ 20 の出力データを選択する以外は、前述のデータ

external memory 3 are reset to the original register.

CPU completes write-in (reset) treatment of internal-state data, when evacuated data are re-set as the original register by check treatment or interrupt treatment by status register etc.

[0044]

Thus, scanning pass and data bus are utilized, internal-state data are evacuated at the time of power-source discontinuation, internal-state data evacuated at the time of power-source reset can be reset.

Therefore, each register of integrated circuit 2 is addressed in order, compared with case where the hold value is read, internal-state data can be read at high speed and reliably, and can be evacuated.

Therefore, even when there are many registers, in house data can be evacuated in a short time.

[0045]

(4) In action at the time of task switch, multiplexer 20 supplies data to multiplexer 21, except that multiplexer 21 chooses output data of multiplexer 20, it is the same as that of action at the time of the above-mentioned data evacuation * reset.

回避・復帰時の動作と同一である。

次にこの発明の第3実施例を図5ないし図8を参照して説明する。

【0046】

この実施例は、本願発明をマイクロプロセッサに適用した例である。図5において、符号111は、バスインターフェースであり、外部回路との間で命令とデータなどの授受を行う。符号112は命令バッファであり、バスインターフェース111によって取り込まれた命令を保持する。符号113はデコーダであり、命令バッファ112に保持されている命令をデコードし、制御信号を生成する。符号114は実行ユニットであり、デコーダ113でデコードされた命令を実行する。符号115はステートコントローラであり、マイクロプロセッサ全体の制御を行う。符号116はインターフェース用の信号であり、アドレス、データ、制御信号を含む。

【0047】

図5の実効ユニット114及びステートコントローラ115内にあるレジューム動作に必要な状態情報ならびにデータを保持するレジスタ121は図6に示すように、直列に接続する。各

Next, 3rd Example of this invention is demonstrated with reference to FIGs. 5 - 8.

[0046]

This Example is example which applied this invention to microprocessor.

In FIG. 5, code 111 is bus interface, transfer of command, data, etc. is performed between external circuits.

Code 112 is instruction buffer, command received by bus interface 111 is maintained.

Code 113 is decoder, command currently maintained at instruction buffer 112 is decoded, control signal is generated.

Code 114 is EU, command decoded by decoder 113 is executed.

Code 115 is state controller, control of the whole microprocessor is performed.

Code 116 is signal for interface, address, data, and control signal are included.

[0047]

As shown in FIG. 6, register 121 holding state information and data required for resume action in effective unit 114 of FIG. 5 and state controller 115 is connected serially.

In each register 121, it has serial-data input (SI), serial-data output (SD), and scanning lock input

レジスタ 121 には、通常動作のデータ入力 (D)、クロック入力 (CP)、データ出力 (Q) の他にシリアルデータ入力 (SI)、シリアルデータ出力 (SD)、スキャンロック入力 (A, B) を有する。

【0048】

通常動作では、A=B="H" とし、レジスタ 121 はクロック CP の立上がりエッジで動作する。このとき、SI 入力の値は動作に影響を与えない。一方、スキャン動作時は CP="H" とし、A=負パルスでデータを取り込み、B=正パルスでデータを出力する。この時 D 入力の値は動作に影響を与えない。シフトレジスタ 121 の動作を、図 7 にタイミングチャートの形式で、図 8 に真理値表の形式で示す。

【0049】

図 5 のインタフェース信号 116 のコントロール信号の 1 つにリジューム要求信号があり、外部回路からリジューム要求が本マイクロプロセッサに入力されると、ステートコントローラ 115 は、マイクロプロセッサの通常動作を停止し、リジューム動作を開始する。

【0050】

(A, B) other than data-entry (D) for normal operation, clock input (CP), and data output (Q).

[0048]

In normal operation, it is considered as A=B="H", register 121 operates with threshold edge of Clock CP.

At this time, value of SI input does not affect action.

On the other hand, it is made into CP-"H" at the time of scanning action, data are received by A= negative pulse and data are outputted by B= positive pulse.

At this point, value of D input does not affect action.

In the form of timing chart shows to FIG. 7, and in the form of truth table shows action of shift register 121 to FIG. 8.

[0049]

Resume request signal is in one of the control signals of interface signal 116 of FIG. 5, if resume request is input into this microprocessor from external circuit, state controller 115 will suspend normal operation of microprocessor, resume action is started.

[0050]

インタフェース信号 116 のデータ信号は、シリアルデータアウト（図 6 のレジスタ n の SD 出力）を含んでおり、まず、この値をバスインタフェース 111 に接続された外部メモリ（図示せず）に保存する。次に、ステートコントローラ 115 は、クロック CP を “H” に固定し、クロック A と B を使って、直列接続されたレジスタの保持データをシフトする。即ち、レジスタ $(i-1)$ の値をレジスタ (i) に移す（ i は 1 ないし n ）。この動作を必要回数繰り返すことによって、直列接続されたレジスタの値をすべて外部メモリに保存する。

【0051】

以上の動作によって、すべてのレジスタの保持データを退避し終えた後、マイクロプロセッサは HALT 状態に入り、それを示す HALT 信号をバスインタフェース 111 を介して外部に出力する。この HALT 信号を外部回路で検出すれば、装置の電源を切断し、装置を停止させることができる。

【0052】

装置に電源が再投入されると、マイクロプロセッサはレジスタ退避時と同様な手法を用いて外部メモリに退避されていたデータ

Data signal of interface signal 116 contains serial-data out (SD output of register n of FIG. 6), first, this value is saved at external memory (not shown) connected to bus interface 111.

Next, state controller 115 fixes Clock CP to “H”, holding data of register serially connected are shifted using Clocks A and B.

That is, value of register $(i-1)$ is moved to register (i) (i is 1 or n).

By the number of need times repeating this action, all values of register serially connected are saved at external memory.

[0051]

By the above action, after finishing evacuating holding data of all registers, microprocessor goes into HALT state and outputs outside HALT signal which shows it through bus interface 111. If this HALT signal is detected in external circuit, power source of apparatus will be disconnected, apparatus can be stopped.

[0052]

If reclosing of the power source is carried out to apparatus, microprocessor will carry out sequential supply of the data evacuated to external memory using the similar procedure as

を、レジスタ 121 の S I 入力に順次供給し、シフトレジスタ内を順次転送させる。すべてのレジスタにデータが復帰すると、レジューム動作を終了し、通常動作に復帰する。

the time of register evacuation at SI input of register 121, sequential transmission of the inside of shift register is carried out.

Resume action will be completed if data reset to all registers, it resets to normal operation.

【 0 0 5 3 】**[0053]****【発明の効果】**

以上詳述したように本発明によれば、集積回路のスキャン方式のテスト回路として使用されるスキャンパスを利用して、電源中断時に内部状態データを確実に退避させ、かつ電源復帰時に内部状態データを集積回路に復帰させることができる。したがって、多数の各種レジスタが設けられた集積回路の内部状態データを、高速かつ確実に退避させることが可能となるため、集積回路のデータを確実に保護することができる。また、複数の内部状態を保持すれば、複数のタスクから 1 つの L S I をアクセスすることが可能である。

[ADVANTAGE OF THE INVENTION]

As explained in full detail above, according to this invention, scanning pass used as a test circuit of scanning method of integrated circuit is utilized, internal-state data are reliably evacuated at the time of power-source discontinuation.

And internal-state data can be returned to integrated circuit at the time of power-source reset.

Therefore, since internal-state data of integrated circuit with which many various registers were provided can be evacuated at high speed and reliably, data of integrated circuit can be protected reliably.

Moreover, if some internal states are maintained, one LSI can be accessed from some tasks.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図 1】**

本発明の第 1 の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

[FIG 1]

Block diagram showing composition of data protection apparatus of integrated circuit based on 1st Example of this invention.

【図 2】

本発明の第 2 の実施例に係る集積回路のデータ保護装置の構成を示すブロック図。

[FIG. 2]

Block diagram showing composition of data protection apparatus of integrated circuit based on 2nd Example of this invention.

【図 3】

第 1 の実施例の動作を説明するためのフローチャート。

[FIG. 3]

Flowchart for demonstrating action of 1st Example.

【図 4】

第 2 の実施例の動作を説明するためのフローチャート。

[FIG. 4]

Flowchart for demonstrating action of 2nd Example.

【図 5】

本発明の第 3 の実施例に係る集積回路の構成を示すブロック図。

[FIG. 5]

Block diagram showing composition of integrated circuit based on 3rd Example of this invention.

【図 6】

図 5 に示す集積回路のレジスタの構成を示すブロック図。

[FIG. 6]

Block diagram showing composition of register of integrated circuit shown in FIG. 5.

【図 7】

第 6 に示すレジスタの動作を説明するためのタイミングチャート。

[FIG. 7]

Timing chart for demonstrating action of register shown 6thly.

【図 8】

第 6 に示すレジスタの動作を説明するための図。

[FIG. 8]

Figure for demonstrating action of register shown 6thly.

【符号の説明】

2…集積回路 (LSI)、3…外部メモリ、4、9…カウンタ、R1～Rn…レジスタ、111…バスインターフェース、11

[DESCRIPTION OF SYMBOLS]

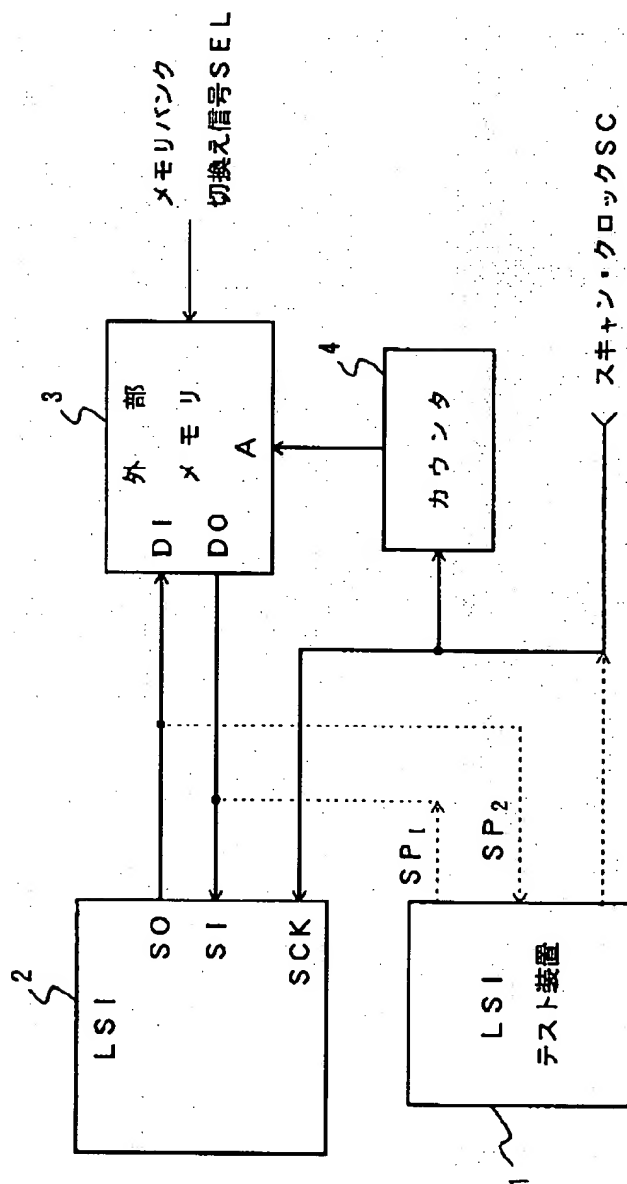
2... integrated circuit (LSI) and 3... external memory, and 4 and 9... counter and R1-Rn... register and 111... bus interface and 112... instruction buffer and 113... decoder and 114...

2...命令バッファ、113...デ E U and 115... state controller and 116... signal
 コーダ、114...実行ユニット、 for interface, and 121... register.

115...ステートコントロー
 ラ、116...インタフェース用
 信号、121...レジスタ。

【図 1】

[FIG. 1]



1: LSI Test device -> scan clock SC

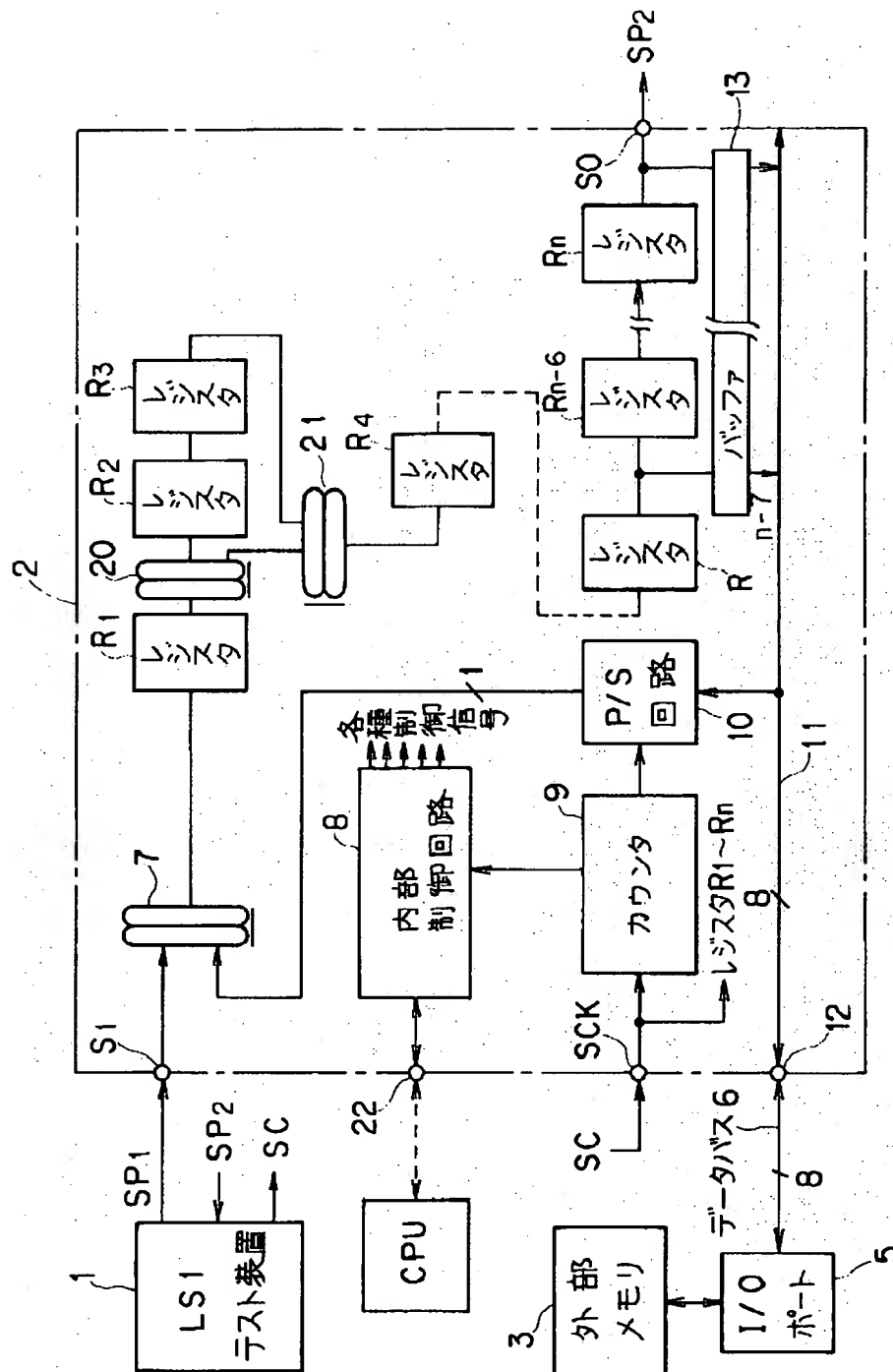
3: External memory <- memory bank change signal SEL

4: counter

The scanning clock SC

【図 2】

[FIG. 2]



1: LSI test device R1-R4: Register

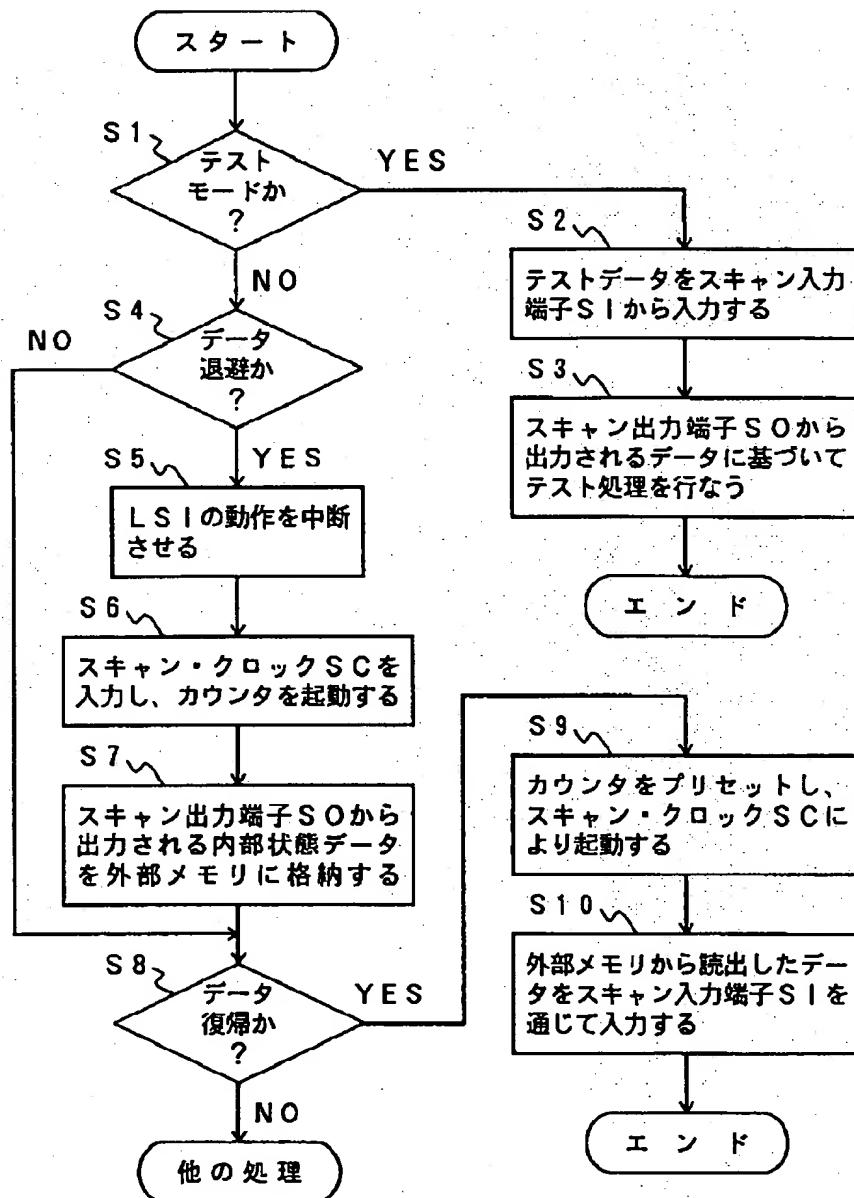
8: Internal-controls circuit -> various control signals

3: external memory 8: register R1 - Rn 9: counter 10:P/S circuit
R-Rn-6 · Rn: register

5: Port 6: Data bus 13: Buffer

【図 3】

[FIG. 3]



Start

Left-hand side

S1: Is it a static test mode?

S2: Input test data from the scanning input terminal SI.

S3: Perform test processing based on the data outputted from the scanning output terminal SO.

End

S4: Is it data evacuation?

S5: Interrupt operation of LSI.

S6: Input the scanning clock SC and start a shop counter.

S7: Store in an external memory the internal state data outputted from the scanning output terminal SO.

S8: Is it a data return?

Other processings

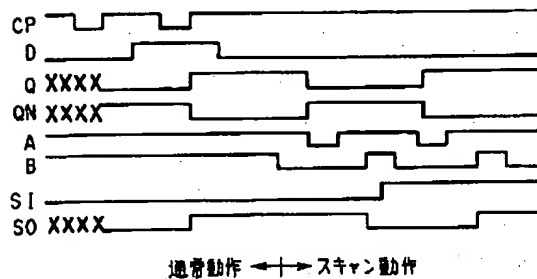
S9: preset counter and start with the scanning clock SC.

S10: Input the data read from the external memory through the scanning input terminal SI.

End

【図 7】





[FIG 7]



Normal operation <--> Scanning operation

【図 8】

[FIG 8]

C P	D	A	B	S I	Q	Q N	S O	動 作
	L	H	H	X	L	H	L	ライト
H	X	H	H	X	Qn	QNo	Qn	ライト 保持
H	X		L	L	L	H	L	スキャンライト
H	X		L	H	H	L	H	スキャンライト
H	X	H		X	Qn	QNo	Qn	スキャンソフト

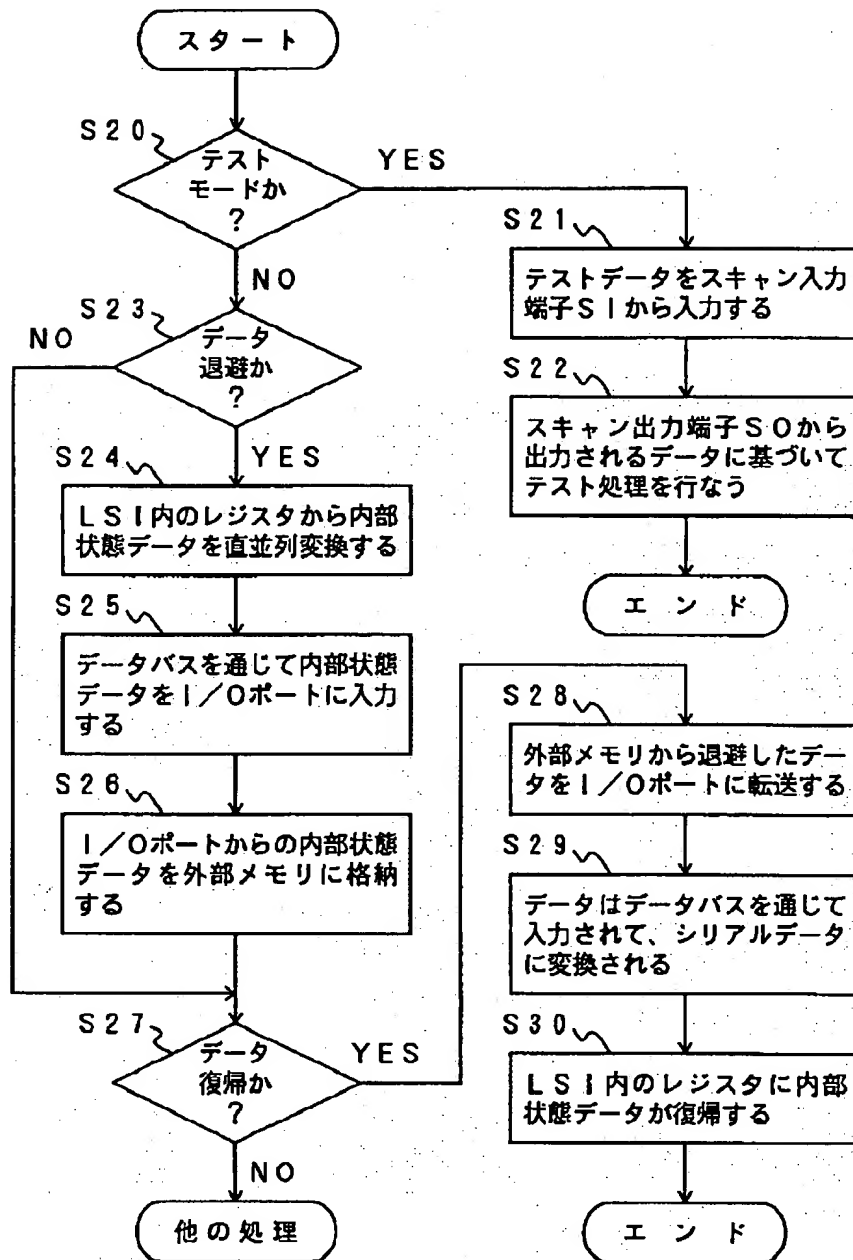
Light

Maintenance

scanning light

【図 4】

[FIG. 4]



Start

S20: Is it a static test mode?

S21: Input test data from the scanning input terminal SI.

S22: Perform test processing based on the data outputted from the scanning output terminal SO.

End

S23: Is it data evacuation?

S24: Carry out series parallel conversion of the internal state data from the register in LSI.

S25: Input internal state data into an I/O port through a data bus.

S26: Store the internal state data from an I/O port in an external memory.

S27: Is it a data return?

Other processings

S28: Transmit the data evacuated from the external memory to an I/O port.

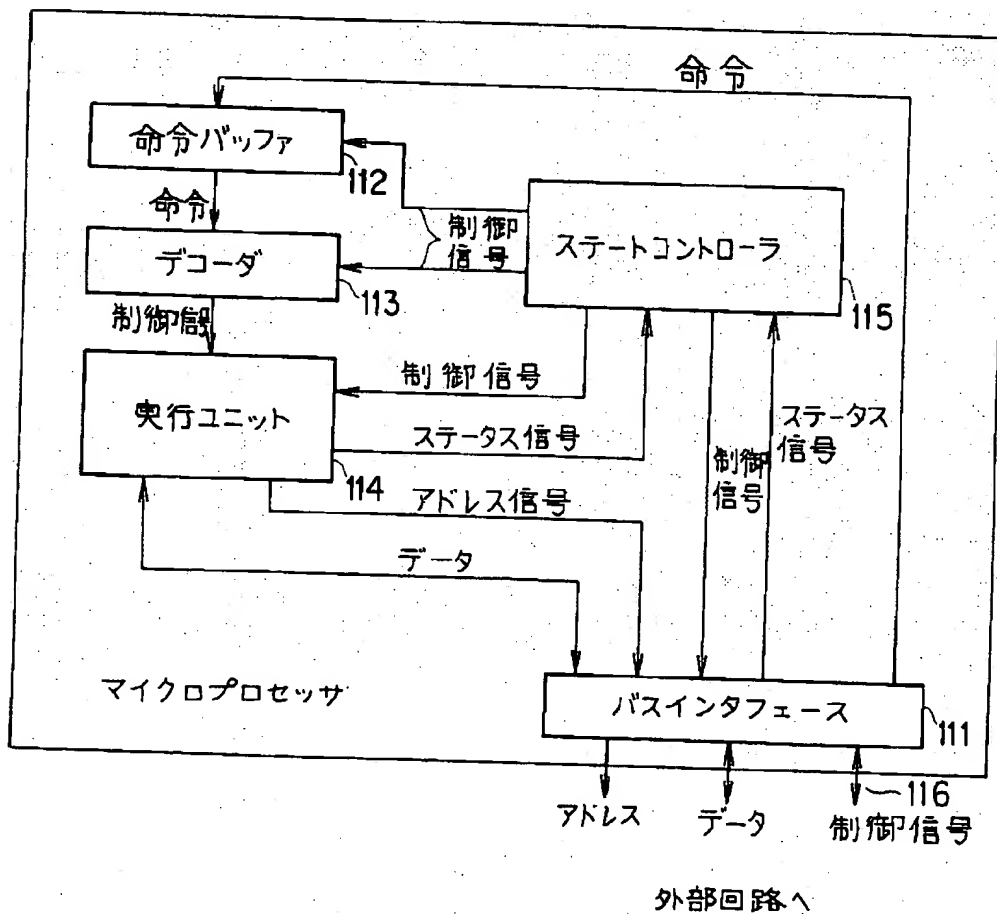
S29: Data is inputted through a data bus and changed into serial data.

S30: Inside information data returns to the register in LSI.

End

【図 5】

[FIG. 5]

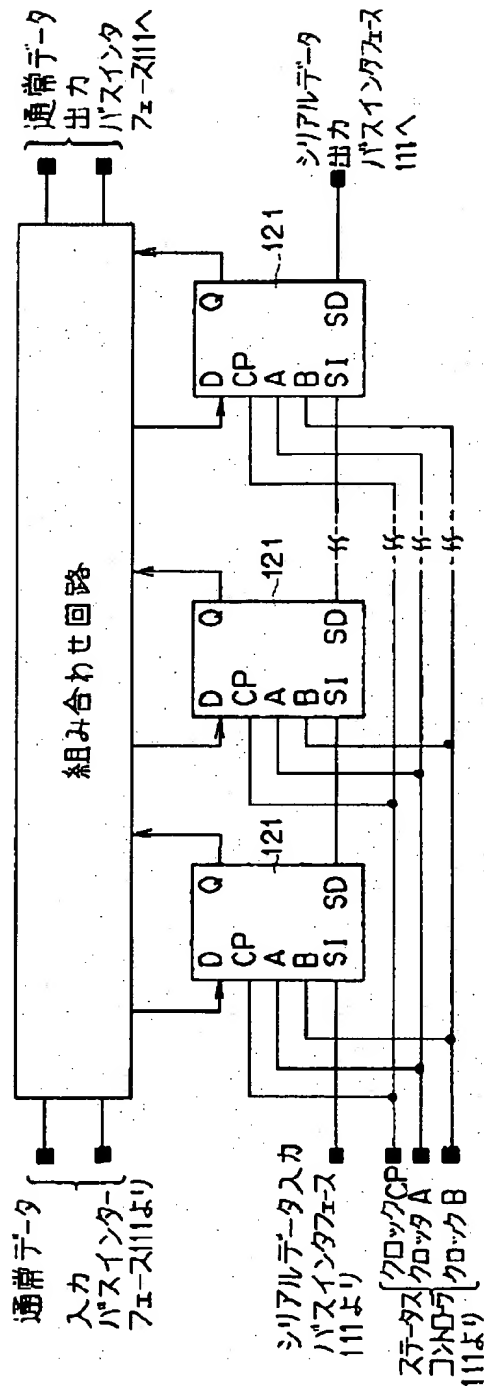


Command

112: Command buffer 115: Status controller
Command
113: Decoder
Control signal
114: Execution unit
111: Bus interface
Address Data 116: Control signal
Except the above
Control signal
Status signal
Address signal
Data
To an external circuit
Microprocessor

【図 6】

[FIG. 6]



Usual data, input, and the bus interface 111 <- combination circuit -> usual data, output, and the bus interface 111,
 From serial-data input and bus interface 111, To serial-data output and bus interface 111, from status controller 111 [Clocks CP, A, and B]



DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)

["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)